

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-073157  
 (43)Date of publication of application : 16.03.1999

(51)Int.Cl.

G09G 3/28  
 G09G 3/20  
 G09G 3/36  
 H04N 5/66

(21)Application number : 10-127898

(71)Applicant : PIONEER ELECTRON CORP

(22)Date of filing : 11.05.1998

(72)Inventor : SHIGETA TETSUYA  
 SAEGUSA NOBUHIKO  
 HONDA KOJI

(30)Priority

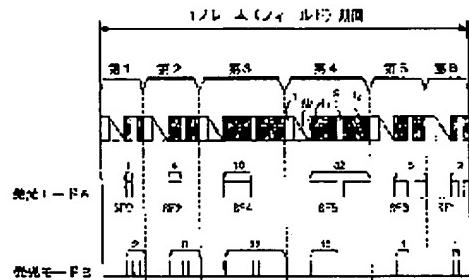
Priority number : 09177388 Priority date : 02.07.1997 Priority country : JP

## (54) METHOD FOR DISPLAY OF DISPLAY PANEL

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To suppress generation of a flicker or fake contour, by replacing a display turn of a split period for very discharge cell or for every discharge cell block of a combination of neighboring discharge cells each other.

**SOLUTION:** At a time of action of driving a plasma display panel (PDP), one frame (field) period spent for an image display is divided into subframes SF0-SF5 in which each of the discharge cells is made to execute electric discharge light emitting in a different lighting period to each other, and for example intermediate displays with 64 gradation are made. In this case, one frame period is divided into 6 split periods comprising a first-sixth split periods, and in each of the split period a reset action R, an address action AD, a first maintaining discharge action I, a selective erasure action S and a second maintaining discharge action I2 are respectively executed. In this way, the turn of lighting period allotted to each of the splits is proceeded by changing over a plurality of light emitting modes different with each other for every discharge cell or for every discharge block of a combination of plural discharge cells neighboring each other.



## LEGAL STATUS

- [Date of request for examination] 16.10.2002  
 [Date of sending the examiner's decision of rejection]  
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
 [Date of final disposal for application]  
 [Patent number]  
 [Date of registration]  
 [Number of appeal against examiner's decision of rejection]  
 [Date of requesting appeal against examiner's decision of

rejection]  
[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

特開平11-73157

(43)公開日 平成11年(1999)3月16日

(51)Int.Cl.<sup>6</sup>

G 0 9 G 3/28

識別記号

F I

G 0 9 G 3/28

K

H

3/20

6 4 1

3/20

6 4 1 F

3/36

3/36

H 0 4 N 5/66

1 0 1

H 0 4 N 5/66

1 0 1 B

審査請求 未請求 請求項の数30 OL (全32頁)

(21)出願番号

特願平10-127898

(71)出願人 000005016

バイオニア株式会社

東京都目黒区目黒1丁目4番1号

(22)出願日

平成10年(1998)5月11日

(72)発明者 重田 哲也

山梨県中巨摩郡田富町西花輪2680番地バイ

オニア株式会社甲府プラズマパネルセンタ

一内

(31)優先権主張番号 特願平9-177388

(72)発明者 三枝 信彦

(32)優先日 平9(1997)7月2日

山梨県中巨摩郡田富町西花輪2680番地バイ

(33)優先権主張国 日本 (JP)

オニア株式会社甲府プラズマパネルセンタ

一内

(74)代理人 弁理士 藤村 元彦

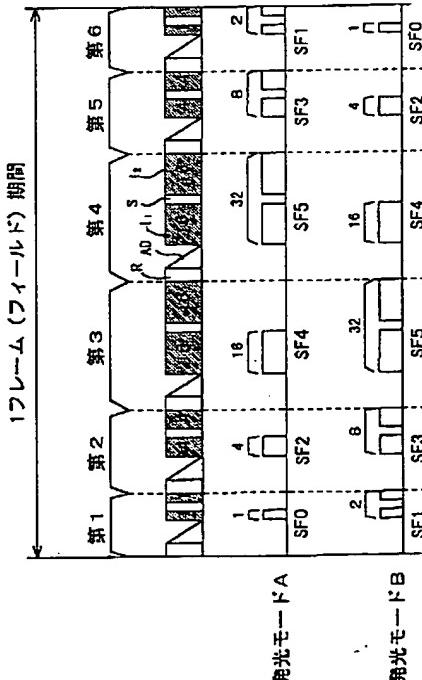
最終頁に続く

(54)【発明の名称】 ディスプレイパネルの中間調表示方法

## 〔57〕【要約】

【課題】 偽輪郭の発生を防止し、コントラスト及び表示画質を向上することができるディスプレイパネルの中間調表示方法を提供することを目的とする。

【解決手段】 表示ラインに対応して水平方向に配列された複数の行電極と、前記行電極に直行する垂直方向に配列され各交点にて放電セルを形成する複数の列電極とを有するディスプレイパネルを発光駆動するにあたり、単位表示期間を複数の分割期間に区切り、これら分割期間各々に割り当てる発光期間の順番を互いに異ならしめた複数の発光モードを、放電セル毎又は互いに隣接する複数の放電セルが組となつた放電セルブロック毎に切り換えて実行する。



## 【特許請求の範囲】

【請求項1】 表示ラインに対応して水平方向に配列された複数の行電極と、前記行電極に交叉する垂直方向に配列され各交点にて放電セルを形成する複数の列電極とを有するディスプレイパネルを発光駆動するにあたり、単位表示期間を複数の分割期間に区切り、該分割期間各自で実行する前記放電セルの発光期間を互いに異ならしめることにより中間調表示を行うディスプレイパネルの中間調表示方法であって、

前記分割期間各自に割り当てる前記発光期間の順番を互いに異ならしめた複数の発光モードを、前記放電セル毎又は互いに隣接する複数の放電セルが組となった放電セルブロック毎に切り換えて実行することを特徴とするディスプレイパネルの中間調表示方法。

【請求項2】 前記水平方向に配列されている前記放電セル毎又は互いに隣接する複数の放電セルが組となった放電セルブロック毎に前記発光モードのいずれかが選択されていることを特徴とする請求項1記載のディスプレイパネルの中間調表示方法。

【請求項3】 複数の前記発光モードの内の1の発光モードと、前記1の発光モードとは異なる他の発光モードとを、前記放電セル毎又は互いに隣接する複数の放電セルが組となった放電セルブロック毎に前記ディスプレイパネル上において千鳥状に実行されるように切り換えることを特徴とする請求項1記載のディスプレイパネルの中間調表示方法。

【請求項4】 前記放電セル毎又は互いに隣接する複数の放電セルが組となった放電セルブロック毎に対応した前記発光モードを前記単位表示期間毎に変更することを特徴とする請求項1、2又は3のいずれかに記載のディスプレイパネルの中間調表示方法。

【請求項5】 互いに隣接する複数の前記放電セル又は互いに隣接する複数の放電セルが組となった放電セルブロック各自に対応する画素データに夫々異なるデイザ係数を加算して得られたデイザ加算画素データ各自の上位ビットをデイザ処理画素データとし、複数の前記放電セル又は前記放電セルブロックの組み合わせにより所定の中間調表示レベルを設定することを特徴とする請求項1、2、3又は4のいずれかに記載のディスプレイパネルの中間調表示方法。

【請求項6】 前記デイザ係数を前記単位表示期間毎に変更することを特徴とする請求項1及び5記載のディスプレイパネルの中間調表示方法。

【請求項7】 前記分割期間の内で所定の前記発光期間を有する分割期間を更に複数に分割して分割発光期間各自を得て、前記単位表示期間内での総発光期間が同一でありかつ互いに発光期間が等しい又は近似する前記分割発光期間の選択順序が異なる複数の発光パターンを用意し、前記水平方向に配列されている前記放電セル又は前記放電セルブロック毎に複数の前記発光パターンのいず

10

20

30

40

50

れかを選択することを特徴とする請求項1に記載のディスプレイパネルの中間調表示方法。

【請求項8】 前記分割期間の各々は、前記ディスプレイパネルの全放電セルに壁電荷を形成するリセット期間と、前記放電セルの各々に形成された前記壁電荷を画素データに応じて選択的に消去して点灯放電セルと消灯放電セルとを得るアドレス期間と、を含むことを特徴とする請求項1、又は7のいずれかに記載のディスプレイパネルの中間調表示方法。

【請求項9】 少なくとも1つの前記分割期間には、前記ディスプレイパネルの全放電セルを放電発光させて壁電荷を消去させるリセット期間と、前記放電セルの各々に画素データに応じた壁電荷を形成して点灯放電セルと消灯放電セルとを得るアドレス期間と、が含まれていることを特徴とする請求項1、又は7のいずれかに記載のディスプレイパネルの中間調表示方法。

【請求項10】 前記ディスプレイパネルにおける1つの画素は、赤、緑、青なる3色の発光色夫々に対応した3つの前記放電セルにて形成されており、前記画素単位にて前記発光モードを一括して制御することを特徴とする請求項1、2、3、又は4のいずれかに記載のディスプレイパネルの中間表示方法。

【請求項11】 前記ディスプレイパネルにおける1つの画素は、赤、緑、青なる3色の発光色夫々に対応した3つの前記放電セルにて形成されており、前記放電セル単位にて前記発光モードを独立に制御することを特徴とする請求項1、2、3、又は4のいずれかに記載のディスプレイパネルの中間表示方法。

【請求項12】 表示ラインに対応して水平方向に配列された複数の行電極と、前記行電極に交叉する垂直方向に配列され各交点にて放電セルを形成する複数の列電極とを有し、単位表示期間を、各自が画素データに応じたアドレス走査を行うことにより点灯放電セル及び消灯放電セルを得るアドレス期間と、放電維持バルスにより前記点灯放電セルの放電発光状態を所定の発光期間だけ維持する維持放電期間とを含む複数の分割期間で構成し、前記分割期間各自での前記発行期間の重み付けを異なせて階調表示を行うディスプレイパネルの中間表示方法であって、

前記単位表示期間中における少なくとも1の前記分割期間中における前記維持放電期間を複数の分割維持放電期間に分離し、第2番目以降の分割維持放電期間各自の直前に前記第2番目以降の分割維持放電期間での消灯放電セルを選択する選択消去期間を設けることにより、前記分割期間中において前記放電セル毎又は互いに隣接する複数の放電セルが組となった放電セルブロック毎に異なる発光期間を設定できるようにしたことを特徴とするディスプレイパネルの中間調表示方法。

【請求項13】 前記アドレス期間では、1回の前記アドレス走査にて前記放電セル毎又は互いに隣接する複数

の放電セルが組となった放電セルブロック毎に重み付けの異なる発光回数を設定することを特徴とする請求項12記載のディスプレイパネルの中間調表示方法。

【請求項14】複数の前記行電極を第1及び第2行電極群に分けると共に複数の前記列電極を第1及び第2列電極群に分け、前記選択消去期間は、前記第1行電極群に一斉に消去パルスを印加すると共に前記消去パルスに同期して前記第1列電極群に第1選択パルスを印加して非放電セルを得る期間と、前記第2行電極群に一斉に消去パルスを印加すると共に前記消去パルスに同期して前記第2列電極群に第2選択パルスを印加して非放電セルを得る期間と、

【請求項15】前記第1行電極群は前記ディスプレイパネルにおける奇数番目の行電極であり、前記第1列電極群は前記ディスプレイパネルにおける奇数番目の列電極であり、前記第2行電極群は前記ディスプレイパネルにおける偶数番目の行電極であり、前記第2列電極群は前記ディスプレイパネルにおける偶数番目の列電極であることを特徴とする請求項12及び14記載のディスプレイパネルの中間調表示方法。

【請求項16】複数の前記行電極を第1及び第2行電極群に分けると共に複数の前記列電極を第1及び第2列電極群に分け、前記選択消去期間は、前記第1及び第2行電極群に一斉に消去パルスを印加して全放電セルを一旦消灯状態にする一斉消去期間と、前記第1行電極群に一斉に書き込みパルスを印加すると共に前記書き込みパルスに同期して前記第1列電極群に第1選択パルスを印加して点灯放電セルを生成する第1選択書き込み期間と、前記第2行電極群に一斉に書き込みパルスを印加すると共に前記書き込みパルスに同期して前記第2列電極群に第2選択パルスを印加して点灯放電セルを生成する第2選択書き込み期間とからなることを特徴とする請求項12記載のディスプレイパネルの中間調表示方法。

【請求項17】前記第1行電極群は前記ディスプレイパネルにおける奇数番目の行電極であり、前記第1列電極群は前記ディスプレイパネルにおける奇数番目の列電極であり、前記第2行電極群は前記ディスプレイパネルにおける偶数番目の行電極であり、前記第2列電極群は前記ディスプレイパネルにおける偶数番目の列電極であることを特徴とする請求項12及び16記載のディスプレイパネルの中間調表示方法。

【請求項18】少なくとも1つの前記分割期間において前記放電セル又は互いに隣接する複数の放電セルが組となった放電セルブロック毎に重み付けの異なる発光回数を設定することにより、前記単位表示期間内の前記分割期間の表示順番が互いに異なる複数の発光モードを用意し、前記放電セル毎又は前記放電セルブロック毎に複

数の前記発光モードのいずれかを選択することを特徴とする請求項12記載のディスプレイパネルの中間調表示方法。

【請求項19】互いに隣接する複数の放電セルが組になった放電セルブロック内の各放電セルに対し異なる発光期間を有する分割期間を割り当てて各ブロック内の各放電セルの発光期間を加算することにより1の画素データに対応した中間調表示レベルを得るようにしたことを特徴とする請求項12又は18記載のディスプレイパネルの中間調表示方法。

【請求項20】互いに隣接する複数の前記放電セル又は互いに隣接する複数の放電セルが組になった放電セルブロック各々に対応した画素データに夫々異なるデイザ係数を加算して得られたデイザ加算画素データ各々の上位ビットをデイザ処理画素データとし、複数の前記放電セル又は前記放電セルブロックの組み合わせにより所定の中間調表示レベルを得ることを特徴とする請求項12、13、14、15、16、17、18又は19のいずれかに記載のディスプレイパネルの中間調表示方法。

【請求項21】前記デイザ係数を前記単位表示期間毎に変更することを特徴とする請求項20記載のディスプレイパネルの中間調表示方法。

【請求項22】前記放電セル又は互いに隣接する複数の放電セルが組になった放電セルブロックに対する前記分割期間各々での発光期間を前記単位表示期間毎に変更することを特徴とする請求項12、13、14、15、16、17、18、19、20又は21のいずれかに記載のディスプレイパネルの中間調表示方法。

【請求項23】前記分割期間各々の内で所定の発光期間を有する分割期間を更に複数に分割して分割発光期間各々を得て、前記単位表示期間内での総発光期間が同一でありかつ互いに発光期間が等しい又は近似する前記分割発光期間の選択順序が異なる複数の発光パターンを用意し、前記水平方向に配列されている前記放電セル又は前記放電セルブロック毎に複数の前記発光パターンのいずれかを選択することを特徴とする請求項12、13、14、15、16、17、18、19、20、21又は22記載のディスプレイパネルの中間調表示方法。

【請求項24】前記分割期間の各々は、前記ディスプレイパネルの全放電セルに壁電荷を形成するリセット期間と、前記放電セルの各々に形成された前記壁電荷を画素データに応じて選択的に消去して点灯放電セルと消灯放電セルとを得るアドレス期間と、を含むことを特徴とする請求項12、18、19、22又は23のいずれかに記載のディスプレイパネルの中間調表示方法。

【請求項25】少なくとも1つの前記分割期間には、前記ディスプレイパネルの全放電セルを放電発光させて壁電荷を消去させるリセット期間と、前記放電セルの各々に画素データに応じた壁電荷を形成して点灯放電セルと消灯放電セルとを得るアドレス期間と、が含まれてい

ることを特徴とする請求項12、18、19、22又は23のいずれかに記載のディスプレイパネルの中間調表示方法。

【請求項26】前記ディスプレイパネルにおける1つの画素は、赤、緑、青なる3色の発光色夫々に対応した3つの前記放電セルにて形成されており、前記画素単位にて前記発光モードを一括して制御することを特徴とする請求項18に記載のディスプレイパネルの中間表示方法。

【請求項27】前記ディスプレイパネルにおける1つの画素は、赤、緑、青なる3色の発光色夫々に対応した3つの前記放電セルにて形成されており、前記放電セル単位にて前記発光モードを独立に制御することを特徴とする請求項18に記載のディスプレイパネルの中間表示方法。

【請求項28】所定の指定された全体の中間調表示レベルに対して、互いに隣接する複数の放電セルを1組みとした放電セルブロックを形成し、前記放電セルブロック内の各放電セル各々の発光期間を加算して前記所定の指定された全体の中間調表示レベルを表示するに際し、前記放電セル各々における一部の中間調表示レベルが互いに異なるように少なくとも1つの前記分割期間において前記放電セルブロック内の各放電セル毎に長さの異なる発光期間を設定することを特徴とする請求項12、13、14、15、16又は17のいずれかに記載のディスプレイパネルの中間調表示方法。

【請求項29】前記ディスプレイパネルにおける1つの画素は、赤、緑、青なる3色の発光色夫々に対応した3つの前記放電セルにて形成されており、

前記3色の発光色夫々に対応した前記放電セル単位にて独立に前記単位表示期間内において実行する発光の回数を制御することを特徴とする請求項12、13、14、15、16又は17のいずれかに記載のディスプレイパネルの中間調表示方法。

【請求項30】前記3色の発光色夫々に対応した前記放電セル毎又は互いに隣接する複数の前記放電セルからなる放電セルブロック毎に前記単位表示期間内において実行する前記発光のパターンを変更することを特徴とする請求項29記載のディスプレイパネルの中間調表示方法。

#### 【発明の詳細な説明】

##### 【0001】

【発明が属する技術分野】本発明は、プラズマディスプレイパネル（以下、PDPと称する）、液晶ディスプレイパネル（LCD）等のマトリクス表示方式のディスプレイパネルの中間調表示方法に関する。

##### 【0002】

【従来の技術】かかるマトリクス表示方式のディスプレイパネルの一つとしてAC（交流放電）型のPDPが知られている。AC型のPDPは、複数の列電極（アドレ

ス電極）と、これら列電極と直交して配列されておりかつ一对にて1走査ラインを形成する複数の行電極対とを備えている。この際、各行電極対及び列電極は、放電空間に対して誘電体層で被覆されており、これら各行電極対及び列電極の交点にて1画素に対応した放電セルが形成される構造となっている。

【0003】ここで、かかるマトリクス表示方式のディスプレイパネルを階調表示させる方法の一つとして、1フレーム（1フィールド）分の表示期間を、Nビットの画素データの各ビット桁の重み付けに対応した時間だけ点灯するN個のサブフレーム（サブフィールド）に分割して表示する方法（いわゆるサブフレーム法）が知られている。

【0004】このサブフレーム法とは、例えば画素データが6ビットの場合、1フレームの表示期間をSF0、SF1...、SF5なる6個のサブフレームに分割する。この際、各サブフレームSF0～SF5では、例えば、順に1回、2回、4回、8回、16回、32回分の維持放電発光が行われる。これら6個のサブフレームによる発光を1通り実行することにより、1フレーム（1フィールド）分の画像に対する64階調表現が可能となるのである。この際、各サブフレームは、全放電セルを一旦初期化するリセット期間と、画像データに基づくアドレス走査（データ書込）を行うことにより点灯セル及び消灯セルを選択するアドレス期間と、放電維持パルスの印加により上記点灯セルに対してのみその放電発光状態を維持させる維持放電期間とで構成される。尚、この維持放電期間は、上述した如き維持放電発光の回数によって決まるものである。

【0005】かかるアドレス走査として選択書込みアドレス法を用いた場合には、先ず、上記リセット期間にて、全放電セルを一旦リセット放電させて壁電荷を形成しその後全セルを放電発光させて壁電荷を消去して初期化する。次に、アドレス期間において、画像データに応じて該当する放電セルのみに選択的に放電発光を励起させ壁電荷の形成を行う。この際、壁電荷が形成された放電セルが点灯セルとして選択され、壁電荷の形成されなかった放電セルが消灯セルとして選択されるのである。

【0006】一方、このアドレス走査として選択消去アドレス法を用いた場合、先ず、リセット期間にて、全放電セルを一旦リセット放電させて壁電荷を形成して初期化を行う。次に、アドレス期間においては、一旦形成された壁電荷を画像データに応じて選択的に消去放電せしめて壁電荷を消去する。この際、壁電荷の消去された放電セルが消灯セルとして選択され、壁電荷がそのまま残った放電セルが点灯セルとして選択されるのである。

【0007】このような階調表示方法では、1フレーム（1フィールド）におけるサブフレームSF0～SF5の発光順番が発光期間（発光回数）の長い順、あるいは短い順の如く固定されたものとなっていた。

## 【0008】

【発明が解決しようとする課題】本発明は、上記の問題を解決するためになされたものであり、フリッカや偽輪郭の発生を防止し、コントラスト及び表示画質向上することができるディスプレイパネルの中間調表示方法を提供することを目的とする。

## 【0009】

【課題を解決するための手段】本発明によるディスプレイパネルの中間調表示方法は、表示ラインに対応して水平方向に配列された複数の行電極と、前記行電極に交叉する垂直方向に配列され各交点にて放電セルを形成する複数の列電極とを有するディスプレイパネルを発光駆動するにあたり、単位表示期間を複数の分割期間に区切り、該分割期間各自で実行する前記放電セルの発光期間を互いに異ならしめることにより中間調表示を行うディスプレイパネルの中間調表示方法であって、前記分割期間各自に割り当てる前記発光期間の順番を互いに異ならしめた複数の発光モードを、前記放電セル毎又は互いに隣接する複数の放電セルが組となった放電セルブロック毎に切り換えて実行する。

## 【0010】

【発明の実施の形態】以下、本発明の実施例を図を参照しつつ説明する。図1は、本発明による中間調表示方法に基づいて自発光表示器としてのプラズマディスプレイパネル（以下、PDPと称する）を駆動するプラズマディスプレイ装置の概略構成を示す図である。

【0011】図1において、A/D変換器1は、供給されてきたアナログの映像信号をパネル駆動制御回路2から供給されるクロック信号に応じてサンプリングして1画素毎のNビットの画素データに変換し、これをデータ変換回路3に供給する。図2は、上記画素データのビット数が6ビットである場合に適用されるデータ変換回路3の内部構成の一例を示す図である。

【0012】図2において、第1データ変換回路31は、上記A/D変換器1から順次供給されてくる6ビットの画素データ（ビット6～ビット1）を図3及び図4に示されるが如き第1変換テーブルに従って6ビット（ビット6～ビット1）の変換画素データAに変換し、これをセレクタ32に供給する。一方、第2データ変換回路33は、上記画素データを図3及び図4に示されるが如き第2変換テーブルに従って6ビット（ビット6～ビット1）の変換画素データBに変換し、これをセレクタ32に供給する。セレクタ32は、上記変換画素データA及びBの内から、上記パネル駆動制御回路2から供給された選択信号に応じた方の変換画素データを選択し、これを変換画素データHDとして出力する。例えば、パネル駆動制御回路2からは、A/D変換器1から画素データが出力される度にその選択状態を交互に切り換えるべき選択信号が供給される。

【0013】図5は、画面上の各画素に対応した画素デ

10

20

30

40

ータが上記選択切換動作に応じて、変換画素データA及びBのいずれに変換されたかを示す図である。図5においては、データ変換回路3は、先ず、画面の第1行第1列の画素に対応した画素データを上記第1変換テーブルに基づいて変換画素データAに変換し、これを変換画素データHDとして出力する。次に、データ変換回路3は、画面の第1行第2列の画素に対応した画素データを上記第2変換テーブルに基づいて変換画素データBに変換し、これを変換画素データHDとして出力する。データ変換回路3は、同様に、第1変換テーブル及び第2変換テーブルを交互に用いて第1行に該当する各画素データを順次変換していく。次に、データ変換回路3は、第2行第1列の画素に対応した画素データを上記第2変換テーブルに基づいて変換画素データBに変換し、これを変換画素データHDとして出力する。次に、データ変換回路3は、第2行第2列の画素に対応した画素データを上記第1変換テーブルに基づいて変換画素データAに変換し、これを変換画素データHDとして出力する。データ変換回路3は、同様にして、第2変換テーブル及び第1変換テーブルを交互に用いて第2行に該当する各画素データを順次変換していくのである。

【0014】図1に示されるメモリ4は、上記パネル駆動制御回路2から供給されてくる書込信号に従って上記変換画素データHDを順次書き込んで行く。メモリ4は、PDP10における1画面分（n行、m列）の変換画素データHD<sub>11</sub>～HD<sub>nn</sub>の書き込み終了毎に、パネル駆動制御回路2から供給される読出制御信号に応答して、分割期間の表示順に従って分割期間に対応するピット桁のデータビットを順次読み出す。ここで、メモリ4は、各分割期間に対応する1画面分（n行、m列）の画素データビット群（1画面分の変換画素データHD<sub>11</sub>～HD<sub>nn</sub>）の同一ピット桁のデータビットからなる画素データビット群をアドレスドライバ6に供給するにあたり、画面1行分毎に順次アドレスドライバ6に供給する。

【0015】アドレスドライバ6は、かかるメモリ4から供給されてくる1行分の画素データビット群各々のビット論理値に対応した電圧を有する画素データパルスD<sub>P1</sub>～D<sub>Pn</sub>を発生し、これらをPDP10の列電極D<sub>1</sub>～D<sub>n</sub>に夫々印加する。更に、アドレスドライバ6は、アドレスパルスA<sub>Pv</sub>及びA<sub>Po</sub>（後述する）を夫々発生し、これらをPDP10の列電極D<sub>1</sub>～D<sub>n</sub>に夫々印加する。

【0016】パネル駆動制御回路2は、上述した如きクロック信号、変換制御信号、書込及び読出信号の他に、上記映像信号中の水平及び垂直同期信号に同期して、画素データタイミング信号、リセットタイミング信号、走査タイミング信号、維持タイミング信号、及び消去タイミング信号を夫々発生する。第1サステンドライバ7は、上記パネル駆動制御回路2から供給された各種タイ

ミング信号に応じて、残留電荷量を初期化するためのリセットパルス、画素データを書き込むための走査パルス、放電発光状態を維持するための維持パルス、放電発光を停止させるための消去パルスを発生し、これらをPDP10の行電極X<sub>1</sub>～X<sub>n</sub>に印加する。第2サスティンドライバ8は、上記パネル駆動制御回路2から供給された各種タイミング信号に応じて、残留電荷量を初期化するためのリセットパルス、画素データを書き込むための走査パルス、放電発光状態を維持するための維持パルス、放電発光を停止させるための消去パルスを発生し、これらをPDP10の行電極Y<sub>1</sub>～Y<sub>n</sub>に印加する。

【0017】尚、PDP10は、行電極X及び行電極Yの一対にて、画面の1行分に対応した行電極を形成している。例えば、PDP10における第1行目の行電極対は行電極X<sub>1</sub>及びY<sub>1</sub>であり、第n行目の行電極対は行電極X<sub>n</sub>及びY<sub>n</sub>となる。又、PDP10では、かかる行電極対と各列電極との交差部に1放電セルが形成される。

【0018】ここで、かかるPDP10の列電極各々に上記画素データパルスD<sub>P</sub>が印加されている間に、行電極対(X<sub>1</sub>, Y<sub>1</sub>)～(X<sub>n</sub>, Y<sub>n</sub>)のいずれか一対に上記走査パルスが印加されると、上記画素データパルスD<sub>P1</sub>～D<sub>Pn</sub>各々のパルス電圧に対応した壁電荷がこの行電極対と列電極D<sub>1</sub>～D<sub>n</sub>各々との交差部の各放電セルに形成される。その後、上記維持パルスが行電極対(X<sub>1</sub>, Y<sub>1</sub>)～(X<sub>n</sub>, Y<sub>n</sub>)に印加されると、上記壁電荷が形成されている放電セルのみが点灯を開始し、この維持パルスのパルス数に応じた時間分だけその発光状態を維持する。視覚上においては、かかる発光状態が維持されている発光維持期間によって輝度が認識されるのである。

【0019】次に、かかる図1に示されるが如きプラスマディスプレイ装置によって実施されるPDP10の駆動動作について説明する。以下に、画像表示に費やす1フレーム(フィールド)期間を、互いに異なる発光期間にて各放電セルを放電発光させるサブフレームSF0～SF5に分割して64階調の中間調表示を為す発光駆動の一例について説明する。

【0020】この際、各サブフレーム内で実施される発光の期間は、サブフレームSF0での発光期間を“1”とした場合、

SF0:1  
SF1:2  
SF2:4  
SF3:8  
SF4:16  
SF5:32  
となる。

【0021】図6は、これらサブフレームSF0～SF5各々による発光駆動状態を示す発光駆動フォーマットの一例を示す図である。ここで、図6に示される発光駆動フォーマットでは、上記1フレーム(フィールド)期

間を第1～第6分割期間からなる6つの分割期間に区切る。更に、各分割期間中では、後述するが如きリセット動作R、アドレス動作AD、第1維持放電動作I<sub>1</sub>、選択消去動作S、及び第2維持放電動作I<sub>2</sub>、各々が実施される。

【0022】図7は、1フレーム(フィールド)期間における前半部の分割期間、すなわち図6における第1～第3分割期間の各々において、PDP10の各電極に印加される各種駆動パルスの印加タイミングを示す図である。図7において、先ず、第1サスティンドライバ7及び第2サスティンドライバ8は、PDP10の行電極X及びYに夫々リセットパルスRP<sub>x</sub>及びRP<sub>y</sub>を同時に印加して、PDP10中の各放電セルに壁電荷を形成させて初期化を行う(リセット動作R)。

【0023】次に、アドレスドライバ6は、各行に対応したデータパルスD<sub>P1</sub>～D<sub>Pn</sub>を列電極D<sub>1</sub>～D<sub>n</sub>に印加する。例えば、第1行に対応したデータパルスD<sub>P1</sub>～D<sub>Pn</sub>を列電極D<sub>1</sub>～D<sub>n</sub>に印加し、次に、第2行に対応したデータパルスD<sub>P1</sub>～D<sub>Pn</sub>を列電極D<sub>1</sub>～D<sub>n</sub>に印加し、次に、第3行に対応したデータパルスD<sub>P1</sub>～D<sub>Pn</sub>を列電極D<sub>1</sub>～D<sub>n</sub>に印加して行くのである。第2サスティンドライバ8は、上記各データパルスD<sub>P</sub>の印加タイミングと同一タイミングにて、走査パルスSPを行電極Y<sub>1</sub>～Y<sub>n</sub>へと順次印加して行く。この際、走査パルスSPが印加された“行”と、高電圧の画素データパルスが印加された“列”との交差部の放電セルに形成されていた壁電荷が選択的に消去される(アドレス動作AD)。かかるアドレス動作により、後述する維持放電動作において放電励起する点灯放電セル、及び放電発光を行わない消灯放電セルとが得られる。

【0024】次に、第1サスティンドライバ7及び第2サスティンドライバ8は、行電極X及びYに対して交互に維持パルスIP<sub>x</sub>及びIP<sub>y</sub>を印加する。この際、上記アドレス動作によって壁電荷の形成された放電セル、すなわち点灯放電セルは、かかる維持パルスIP<sub>x</sub>及びIP<sub>y</sub>が交互に印加される度に発光放電を行い、その発光放電状態を維持する(第1維持放電動作I<sub>1</sub>)。

【0025】尚、かかる第1維持放電動作での放電維持期間t<sub>1</sub>は、各分割期間によって異なる。すなわち、

- 40 【数1】第1分割期間での放電維持期間t<sub>1</sub>=1
  - 【数2】第2分割期間での放電維持期間t<sub>1</sub>=4
  - 【数3】第3分割期間での放電維持期間t<sub>1</sub>=16
- となる。

【0026】次に、アドレスドライバ6は、列電極D<sub>1</sub>～D<sub>n</sub>の内の奇数番目の列電極各々にアドレスパルスAP<sub>oo</sub>を印加する。かかるアドレスパルスAP<sub>oo</sub>の印加と同一タイミングにて、第2サスティンドライバ8は、奇数番目の行電極Y<sub>1</sub>、Y<sub>3</sub>、Y<sub>5</sub>、Y<sub>7</sub>…に対して消去パルスEPを印加する。かかる動作に応じて、奇数番目の“列電極”と奇数番目の“行電極対”との交差部に存在す

る全ての放電セルの壁電荷が消滅する。次に、アドレスドライバ6は、列電極D<sub>1</sub>～D<sub>n</sub>の内の偶数番目の列電極各々にアドレスパルスA P<sub>ev</sub>を印加する。かかるアドレスパルスA P<sub>ev</sub>の印加と同一タイミングにて、第2サスティンドライバ8は、偶数番目の行電極Y<sub>2</sub>、Y<sub>4</sub>、Y<sub>6</sub>、Y<sub>8</sub>…に対して消去パルスE Pを印加する。かかる動作に応じて、偶数番目の"列電極"と偶数番目の"行電極対"との交差部に存在する全ての放電セルの壁電荷が消滅する（選択一斎消去動作S）。

【0027】すなわち、奇数列かつ奇数行に存在する全ての放電セル、並びに偶数列かつ偶数行に存在する全ての放電セル各々に形成されていた壁電荷が消滅して消灯放電セルとなるのである。つまり、選択一斎消去動作が実行されることにより、図5中の"A"にて示される放電セルが消灯放電セルとなるのである。この際、図5中の"B"にて示される放電セル各々には壁電荷が残留している。

【0028】次に、第1サスティンドライバ7及び第2サスティンドライバ8は、PDP10の行電極X及びYに対して交互に維持パルスI P<sub>x</sub>及びI P<sub>y</sub>を印加する。この際、壁電荷が残留している点灯放電セルは、かかる維持パルスI P<sub>x</sub>及びI P<sub>y</sub>が交互に印加される度に発光放電を行い、その発光放電状態を維持する（第2維持放電動作I<sub>2</sub>）。尚、かかる第2維持放電動作での放電維持期間は、上記第1維持放電動作での放電維持期間t<sub>1</sub>と同一である。

【0029】すなわち、かかる第2維持放電動作が実行されることにより、図5中の"B"にて示される放電セル各々が引き続き上記放電維持期間t<sub>1</sub>の期間に亘り発光放電を行うのである。つまり、上記第1分割期間～第3分割期間では、図5中の"B"にて示される各放電セルでの発光期間は、図5中の"A"にて示される各放電セルでの発光期間の2倍となるのである。

【0030】ここで、かかる第2維持放電動作が終了すると、第2サスティンドライバ8は、行電極Y<sub>1</sub>～Y<sub>n</sub>の全てに消去パルスE Pを印加する。かかる動作に応じて、"列電極"と偶数番目の"行電極対"との交差部に存在する全ての放電セルの壁電荷が消滅して消灯放電セルとなる（一斎消去動作）。従って、上記第1分割期間～第3分割期間各々において図5中の"A"にて示される各放電セルは、図6の発光モードAにて示される発光パターンにて発光駆動され、図5中の"B"にて示される各放電セルは、図6の発光モードBにて示される発光パターンにて発光駆動されるのである。

【0031】一方、1フレームにおける後半部の分割期間、すなわち第4～第6分割期間の各々においては、図8に示されるようにPDP10の各電極に各種駆動パルスが印加される。図8において、先ず、第1サスティンドライバ7及び第2サスティンドライバ8は、PDP10の行電極X及びYに夫タリセットパルスR P<sub>x</sub>及びR

P<sub>y</sub>を同時に印加して、PDP10中の各放電セルに壁電荷を形成させて初期化を行う（リセット動作R）。

【0032】次に、アドレスドライバ6は、各行に対応したデータパルスD P<sub>1</sub>～D P<sub>n</sub>を列電極D<sub>1</sub>～D<sub>n</sub>に印加する。例えば、第1行に対応したデータパルスD P<sub>1</sub>～D P<sub>n</sub>を列電極D<sub>1</sub>～D<sub>n</sub>に印加し、次に、第2行に対応したデータパルスD P<sub>1</sub>～D P<sub>n</sub>を列電極D<sub>1</sub>～D<sub>n</sub>に印加し、次に、第3行に対応したデータパルスD P<sub>1</sub>～D P<sub>n</sub>を列電極D<sub>1</sub>～D<sub>n</sub>に印加して行くのである。第2サスティンドライバ8は、上記各データパルスD Pの印加タイミングと同一タイミングにて、走査パルスS Pを行電極Y<sub>1</sub>～Y<sub>n</sub>へと順次印加して行く。この際、走査パルスS Pが印加された"行"と、高電圧の画素データパルスが印加された"列"との交差部の放電セルに形成されていた壁電荷が選択的に消去される（アドレス動作A D）。かかるアドレス動作により、後述する維持放電動作において放電励起する点灯放電セル、及び放電発光を行わない消灯放電セルとが得られる。

【0033】次に、第1サスティンドライバ7及び第2サスティンドライバ8は、行電極X及びYに対して交互に維持パルスI P<sub>x</sub>及びI P<sub>y</sub>を印加する。この際、上記アドレス動作によって壁電荷の形成された放電セル、すなわち点灯放電セルの各々は、かかる維持パルスI P<sub>x</sub>及びI P<sub>y</sub>が交互に印加される度に発光放電を行い、その発光放電状態を維持する（第1維持放電動作I<sub>1</sub>）。

【0034】尚、かかる第1維持放電動作での放電維持期間t<sub>1</sub>は、各分割期間によって異なる。すなわち、

【数4】第4分割期間での放電維持期間t<sub>1</sub>=16

【数5】第5分割期間での放電維持期間t<sub>1</sub>=4

【数6】第6分割期間での放電維持期間t<sub>1</sub>=1となる。

【0035】次に、アドレスドライバ6は、列電極D<sub>1</sub>～D<sub>n</sub>の内の偶数番目の列電極各々にアドレスパルスA P<sub>ev</sub>を印加する。かかるアドレスパルスA P<sub>ev</sub>の印加と同一タイミングにて、第2サスティンドライバ8は、奇数番目の行電極Y<sub>1</sub>、Y<sub>3</sub>、Y<sub>5</sub>、Y<sub>7</sub>…に対して消去パルスE Pを印加する。かかる動作に応じて、偶数番目の"列電極"と奇数番目の"行電極対"との交差部に存在する全ての放電セルの壁電荷が消滅する。次に、アドレスドライバ6は、列電極D<sub>1</sub>～D<sub>n</sub>の内の奇数番目の列電極各々にアドレスパルスA P<sub>eo</sub>を印加する。かかるアドレスパルスA P<sub>eo</sub>の印加と同一タイミングにて、第2サスティンドライバ8は、偶数番目の行電極Y<sub>2</sub>、Y<sub>4</sub>、Y<sub>6</sub>、Y<sub>8</sub>…に対して消去パルスE Pを印加する。かかる動作に応じて、奇数番目の"列電極"と偶数番目の"行電極対"との交差部に存在する全ての放電セルの壁電荷が消滅する（選択一斎消去動作S）。

【0036】すなわち、奇数列かつ偶数行に存在する全ての放電セル、並びに偶数列かつ奇数行に存在する全ての放電セル各々に形成されていた壁電荷が消滅し、消灯

放電セルとなるのである。つまり、上記選択一齊消去動作が実行されることにより、図5中の"B"にて示される放電セルは全て消灯放電セルとなるのである。この際、図5中の"A"にて示される放電セル各々には壁電荷が残留している。

【0037】次に、第1サスティンドライバ7及び第2サスティンドライバ8は、PDP10の行電極X及びYに対して交互に維持パルス $I_{P_x}$ 及び $I_{P_y}$ を印加する。この際、壁電荷が残留している放電セルは、かかる維持パルス $I_{P_x}$ 及び $I_{P_y}$ が交互に印加される度に発光放電を行い、その発光放電状態を維持する（第2維持放電動作 $I_2$ ）。尚、かかる第2維持放電動作での放電維持時間は、上記第1維持放電動作での放電維持時間 $t_1$ と同一である。

【0038】すなわち、かかる第2維持放電動作が実行されることにより、図5中の"A"にて示される放電セル各々が引き続き上記放電維持期間 $t_1$ の期間に亘り発光放電を行うのである。つまり、上記第4分割期間～第6分割期間では、図5中の"A"にて示される各放電セルでの発光期間は、図5中の"B"にて示される各放電セルでの発光期間の2倍となるのである。

【0039】ここで、かかる第2維持放電動作が終了すると、第2サスティンドライバ8は、行電極 $Y_1$ ～ $Y_n$ の全てに消去パルスEPを印加する。かかる動作に応じて、“列電極”と偶数番目の“行電極対”との交差部に存在する全ての放電セルの壁電荷が消滅する（一齊消去動作）。従って、上記第4分割期間～第6分割期間各々において図5中の“A”にて示される各放電セルは、図6の発光モードAにて示される発光パターンにて発光駆動され、図5中の“B”にて示される各放電セルは、図6の発光モードBにて示される発光パターンにて発光駆動されるのである。

【0040】以上の如く、1フレーム期間の前半部の分割期間（第1～第3分割期間）では図7に示されるが如き駆動パルス、後半部の分割期間（第4～第6分割期間）では図8に示されるが如き駆動パルスをPDP10に印加することにより、隣接する放電セル同士を互いに異なる発光パターンで発光させることが出来るのである。

【0041】例えば、図5中の“A”にて示される各放電セルは図6の発光モードAによる発光パターンにて発光駆動され、一方、“B”にて示される各放電セルは図6の発光モードBによる発光パターンにて発光駆動されるのである。この際、発光モードAによる発光パターンにおいては、図6に示されるが如く、その第1分割期間で実行される発光期間は“1”であり、これは上記サブフレームSF0に相当する。又、かかる発光モードAにおいて第2分割期間で実行される発光期間は“4”であり、これは上記サブフレームSF2に相当する。又、かかる発光モードAにおいて第3分割期間で実行される発光期間

は“16”であり、これは上記サブフレームSF4に相当する。又、かかる発光モードAにおいて第4分割期間で実行される発光期間は“32”であり、これは上記サブフレームSF5に相当する。又、かかる発光モードAにおいて第5分割期間で実行される発光期間は“8”であり、これは上記サブフレームSF3に相当する。又、かかる発光モードAにおいて第6分割期間で実行される発光期間は“2”であり、これは上記サブフレームSF1に相当する。尚、上記図3及び図4に示されるが如き第1変換テーブル又は第2変換テーブルによって変換された変換画素データの各ビットの論理値が、上記第1分割期間～第6分割期間各々で点灯を実行するか否かを決定するものとなる。

【0042】例えば、変換画素データのビット6が論理値“0”である場合には、図6に示される第1分割期間での発光は、発光モードA及びBのいずれにおいても実施されない。一方、かかる変換画素データのビット6が論理値“1”である場合には、発光モードAでは発光期間“1”(SF0)、発光モードBでは発光期間“2”(SF1)の発光が実施される。又、変換画素データのビット5が論理値“0”である場合には、図6に示される第2分割期間での発光は、発光モードA及びBのいずれにおいても実施されない。一方、かかる変換画素データのビット5が論理値“1”である場合には、発光モードAでは発光期間“4”(SF2)、発光モードBでは発光期間“8”(SF3)の発光が実施される。又、変換画素データのビット4が論理値“0”である場合には、図6に示される第3分割期間での発光は、発光モードA及びBのいずれにおいても実施されない。一方、かかる変換画素データのビット4が論理値“1”である場合には、発光モードAでは発光期間“16”(SF4)、発光モードBでは発光期間“32”(SF5)の発光が実施される。又、変換画素データのビット3が論理値“0”である場合には、図6に示される第4分割期間での発光は、発光モードA及びBのいずれにおいても実施されない。一方、かかる変換画素データのビット3が論理値“1”である場合には、発光モードAでは発光期間“32”(SF5)、発光モードBでは発光期間“16”(SF4)の発光が実施される。又、変換画素データのビット2が論理値“0”である場合には、図6に示される第5分割期間での発光は、発光モードA及びBのいずれにおいても実施されない。一方、かかる変換画素データのビット2が論理値“1”である場合には、発光モードAでは発光期間“8”(SF3)、発光モードBでは発光期間“4”(SF2)の発光が実施される。又、変換画素データのビット1が論理値“0”である場合には、図6に示される第6分割期間での発光は、発光モードA及びBのいずれにおいても実施されない。一方、かかる変換画素データのビット1が論理値“1”である場合には、発光モードAでは発光期間“2”(SF1)、発光モードBでは発光期間“1”(SF0)の発光

が実施されるのである。

【0043】この際、各発光モードA又はBにおいて、上記第1～第6分割期間各々での発光期間の総和が輝度レベルに相当するのである。例えば、図3に示されるが如き中間調レベル"17"に相当する画素データ"010001"を第1変換テーブルによって変換すると、変換画素データ"101000"が得られ、第2変換テーブルによって変換すると変換画素データ"000101"が得られる。

\*10

第1	第2	第3	第4	第5	第6
発光モードA：点灯(SF0)	消灯	点灯(SF4)	消灯	消灯	消灯
発光モードB：消灯	消灯	消灯	点灯(SF4)	消灯	点灯(SF0)

すなわち、両者は互いに1フレーム期間中に実行される点灯のパターンが異なっているものの、1フレーム期間中に実行される発光期間の総和は共に、

【数7】SF0 + SF4 = "17"

となるのである。

【0046】よって、図5の"A"にて示される放電セル、及びこの放電セル"A"に隣接する放電セル"B"各々では、互いに同一の中間調輝度に対応した発光であるものの、1フレーム期間内において実施される発光パターンが互いに異なるのである。従って、このような中間調表示方法によれば、隣接する放電セル同士が互いに異なる発光パターンで発光を行うことになるので、偽輪郭が低減されるのである。

【0047】又、図6に示されるが如く、発光モードAによる全発光パターンは、

{SF0、SF2、SF4、SF5、SF3、SF1}であり、発光モードBによる全発光パターンは、

{SF1、SF3、SF5、SF4、SF2、SF0}となっている。

【0048】すなわち、発光モードAによる発光パターンと、発光モードBによる発光パターンとでは、各サブフレームSFを実行する順番が互いに逆になっているのである。このように、両発光パターンは、1フレーム期間内において実行する各サブフレームの順番が互いに逆になっているので、より効果的に偽輪郭の低減が計られるのである。

【0049】尚、上記実施例においては、画素データのビット数に応じた中間輝度階調を得るものであるが、これにディザ処理回路を附加することにより、画素データのビット数に対応した階調よりも多階調の中間輝度階調を擬似的に得ることが出来る。図9は、かかる点に鑑みて為されたデータ変換回路3の他の構成を示す図である。

【0050】図9に示されるデータ変換回路3においては、図2に示される構成に、更にディザ発生回路310、加算器320及び上位ビット抽出回路330からなるディザ処理回路34を付加したものである。以下に、

\*【0044】この際、第1変換テーブルによって変換された上記変換画素データ"101000"に対しては、図6に示される発光モードAに基づく発光駆動が実施され、第2変換テーブルによって変換された上記変換画素データ"000101"に対しては、図6に示される発光モードBに基づく発光駆動が実施される。従って、1フレーム期間内において実施される発光パターンは、夫々以下のようになる。

【0045】

かかる図9に示されるデータ変換回路3の内部動作について、図10～図14を参照しつつ説明する。尚、図10～図13は、映像信号の連続した4フィールド期間各々でのデータ変換回路3の内部動作波形を示す図であり、図14は、PDP10の各放電セルの配置を示す図である。

【0051】先ず、図1のA/D変換器1から出力された画素データは順次、加算器320に供給される。この際、かかる映像信号が飛越走査である場合、PDP10の各放電セルの内、先ず、奇数行の放電セルに対応した画素データが供給され、その後、偶数行の放電セルに対応した画素データが供給されることになる。例えば、図10に示される第1フィールドでは、図14の第1行目の放電セルG<sub>1,1</sub>～G<sub>1,n</sub>夫々に対応した画素データD<sub>1,1</sub>～D<sub>1,n</sub>が供給された後には、次の奇数行である第3行目の放電セルG<sub>3,1</sub>～G<sub>3,n</sub>夫々に対応した画素データD<sub>3,1</sub>～D<sub>3,n</sub>が供給される。同様にして順次、奇数行に対応した画素データが供給される。ここで、最終奇数行の放電セルG<sub>n,1</sub>～G<sub>n,n</sub>夫々に対応した画素データD<sub>n,1</sub>～D<sub>n,n</sub>が供給されると、次に、図11に示されるが如き第2フィールドが実施される。かかる第2フィールドでは、最初の偶数行である放電セルG<sub>2,1</sub>～G<sub>2,n</sub>夫々に対応した画素データD<sub>2,1</sub>～D<sub>2,n</sub>が供給され、順次、偶数行に対応した画素データが供給される。ここで、最終偶数行に対応した画素データD<sub>(n-1),1</sub>～D<sub>(n-1),n</sub>が供給されると、次に、図12に示されるが如き第3フィールドが実施される。かかる第3フィールドでは、上記第1フィールドと同様に、奇数行に対応した画素データが供給される。次の第4フィールドでは、上記第2フィールドと同様に、偶数行に対応した画素データが供給されるのである。

【0052】ここで、ディザ発生回路310は、図10に示されるが如き第1フィールドにおいては、クロック信号CK2毎にディザ係数a、ディザ係数c、ディザ係数b、ディザ係数dを循環して繰り返し発生し、これを加算器320に供給する。又、ディザ発生回路310は、次の第2フィールド及びその次の第3フィールドにおいては、図11及び図12に示されるように、ディザ

50

係数d、ディザ係数b、ディザ係数c、ディザ係数aを循環して繰り返し発生し、これを加算器320に供給する。又、ディザ発生回路310は、図13に示されるが如き第4フィールドにおいては、クロック信号CK2毎にディザ係数a、ディザ係数c、ディザ係数b、ディザ係数dを循環して繰り返し発生し、これを加算器320に供給する。

【0053】ディザ発生回路310は、上述した如き第1フィールド～第4フィールドの動作を繰り返し実行する。すなわち、かかる第4フィールドにおいてのディザ係数発生動作が終了したら、再び、上記第1フィールドの動作に戻って、前述した動作を繰り返すのである。加算器320は、A/D変換器1から順次供給されてくる画素データに、上述の如きディザ係数を、図10～図13に示されるが如く逐次加算し、この際得られたディザ加算画素データを上位ビット抽出回路330に供給する。

【0054】すなわち、一つの画素データに対して2つの異なるディザ係数が夫々加算され、新たに2つのディザ加算画素データが生成されるのである。上位ビット抽出回路330は、かかるディザ加算画素データの上位Mビット分までを抽出し、これをディザ処理画素データZとして、これを第1データ変換回路31及び第2データ変換回路33の各々に供給する。

【0055】第1データ変換回路31は、かかる上位ビット抽出回路330から順次供給されてくる例えば6ビットのディザ処理画素データZ（ビット6～ビット1）を図3及び図4に示されるが如き第1変換テーブルに従って6ビット（ビット6～ビット1）の変換画素データAZに変換し、これをセレクタ32に供給する。一方、第2データ変換回路33は、上記ディザ処理画素データZを図3及び図4に示されるが如き第2変換テーブルに従って6ビット（ビット6～ビット1）の変換画素データBZに変換し、これをセレクタ32に供給する。

【0056】セレクタ32は、上記変換画素データAZ及びBZの内から、上記パネル駆動制御回路2から供給された図10～図13に示されるが如き選択信号に応じた方の変換画素データを選択しそれを出力する。例えば、図10に示されるが如き第1フィールドにおいては、先ず、ディザ処理画素データZ（D<sub>11</sub>+a）を第1変換テーブルに従って変換して得られた変換画素データAZ（D<sub>11</sub>+a）、次に、ディザ処理画素データZ（D<sub>11</sub>+c）を第2変換テーブルに従って変換して得られた変換画素データBZ（D<sub>11</sub>+c）が夫々セレクタ32から出力される。続いて、セレクタ32からは、ディザ処理画素データZ（D<sub>12</sub>+b）を第2変換テーブルに従って変換して得られた変換画素データBZ（D<sub>12</sub>+b）、ディザ処理画素データZ（D<sub>12</sub>+d）を第1変換テーブルに従って変換して得られた変換画素データAZ（D<sub>12</sub>+d）が順次出力されるのである。

【0057】かかる図10に示されるが如き第1フィールドの動作により、例えば、図15(a)に示されるように、第1行第1列の放電セルG<sub>11</sub>では変換画素データAZ（D<sub>11</sub>+a）に基づいた発光、第1行第2列の放電セルG<sub>12</sub>では変換画素データBZ（D<sub>12</sub>+b）に基づいた発光、第2行第1列の放電セルG<sub>21</sub>では変換画素データBZ（D<sub>11</sub>+c）に基づいた発光、第2行第2列の放電セルG<sub>22</sub>では変換画素データAZ（D<sub>12</sub>+d）に基づいた発光が夫々実行されるのである。

【0058】同様にして、図11～図13に示されるが如き第2～第4フィールド各々の動作により、図15(b)～(d)の如き各変換画素データに基づいた発光が為されるのである。すなわち、データ変換回路3のディザ処理回路34では、上記図10～図13に示されるように、1放電セルに対応した画素データから偶数行及び奇数行各々に対応した2つのディザ処理画素データを生成しているのである。更に、上記ディザ処理回路34では、各放電セルに対応した画素データに加算すべきディザ係数をフィールド毎に変更することにより、ディザのパターンノイズの低減を実現しているのである。

【0059】又、上記図6に示される実施例においては、1フレーム期間を6つの分割期間に区切り、これら6つの分割期間各々に対して各サブフレームSF1～SF6を割り当てて発光駆動を実施するようしているが、かかる構成に限定されるものではない。例えば、1フレーム期間を8つの分割期間に区切って、発光駆動を実施するようにしても良い。

【0060】図16は、かかる点に鑑みて為された発光駆動フォーマットの他の一例を示す図である。図16に示される発光駆動フォーマットでは、第1分割期間、第5分割期間、第6分割期間、及び第8分割期間各々において、図7に示されるが如きタイミングで各種駆動バルスをPDP10に印加する。

【0061】尚、これら第1、5、6及び8分割期間各々において実施すべき上記図7に示されるが如き第1及び第2維持放電動作各々での放電維持期間t<sub>1</sub>は、

【数8】第1分割期間での放電維持期間t<sub>1</sub>=8

【数9】第5分割期間での放電維持期間t<sub>1</sub>=4

【数10】第6分割期間での放電維持期間t<sub>1</sub>=1

【数11】第8分割期間での放電維持期間t<sub>1</sub>=8  
とする。

【0062】一方、第2分割期間、第3分割期間、第4分割期間、及び第7分割期間各々では、図8に示されるが如きタイミングにて各種駆動バルスをPDP10に印加する。尚、これら第2、3、4及び7分割期間各々において実施すべき上記図8に示されるが如き第1及び第2維持放電動作各々での放電維持期間t<sub>1</sub>は、

【数12】第2分割期間での放電維持期間t<sub>1</sub>=8

【数13】第3分割期間での放電維持期間t<sub>1</sub>=1

【数14】第4分割期間での放電維持期間t<sub>1</sub>=4

【数15】第7分割期間での放電維持期間  $t_s = 8$  とする。

【0063】更に、データ変換回路3における第1データ変換回路3 1及び第2データ変換回路3 3各々を、図17及び図18に示されるが如き変換テーブルに基づいて変換画素データA及びBを得るものに変更する。すなわち、図16～図18に示される実施例では、

S F 0 : 1  
S F 1 : 2  
S F 2 : 4  
S F 3 : 8  
S F 4 : 16  
S F 5 : 32

なる発光期間比にて発光駆動を行う各サブフレーム S F 0～S F 6 の内の、サブフレーム S F 4 を及び S F 5 を夫々2分割し、1フレーム期間内においてこれらを分散して実行するようにしたのである。

【0064】つまり、発光期間"16"である S F 4 を夫々発光期間が"8"である S F 4 a 及び S F 4 b に分割し、発光モード A による発光駆動においては、これらを図16に示されるが如く第4分割期間及び第8分割期間に分散して実行するのである。更に、発光期間"32"である S F 5 を夫々発光期間が"16"である S F 5 a 及び S F 5 b に分割し、発光モード A による発光駆動においては、これらを図16に示されるが如く第2分割期間及び第7分割期間に分散して実行するのである。

【0065】尚、上記図3、図4、図17、図18に示されるが如き画素データの変換は、上述した如き A/D 変換器1からの出力画素データ、又は、図9に示されるが如きディザ処理回路3 4によるディザ処理後の画素データのみならず、他のビット数低減処理（例えば、誤差拡散処理）後の画素データにも適用可能である。又、上記図1においては、映像信号中の R（赤）成分、G（緑）成分、及び B（青）成分を考慮せずに説明したが、実際にはこれらを考慮した図19に示されるが如き構成が採用される。

【0066】図19においては、RG B分割回路7 0は、供給されてくる映像信号中からR（赤）成分に対応した映像信号R、G（緑）成分に対応した映像信号G、及びB（青）成分に対応した映像信号B各々を分離抽出して、夫々、A/D変換器1 a～1 cに供給する。この際、A/D変換器1 a、データ変換回路3 a、及びメモリ4 a各々は、R（赤）成分の映像信号Rに対して上述の如き画素データ処理を施す回路であり、各回路ブロックの機能は、図1に示されるA/D変換器1、データ変換回路3、及びメモリ4と同一である。又、A/D変換器1 b、データ変換回路3 b、及びメモリ4 b各々は、G（緑）成分の映像信号Gに対して上述の如き画素データ処理を施す回路であり、各回路ブロックの機能は、図1に示されるA/D変換器1、データ変換回路3、及び

メモリ4と同一である。同様に、A/D変換器1 c、データ変換回路3 c、及びメモリ4 c各々は、B（青）成分の映像信号Bに対して上述の如き画素データ処理を施す回路であり、各回路ブロックの機能は、図1に示されるA/D変換器1、データ変換回路3、及びメモリ4と同一である。

【0067】かかる構成により、R成分、G成分、及びB成分各々に対応した変換画素データがアドレスドライバ6に供給されるのである。この際、図20に示される10 ように、PDP10の列電極D<sub>1</sub>、D<sub>4</sub>、D<sub>7</sub>、……、D<sub>16</sub>各々には、R成分の変換画素データに対応した画素データバルスが印加される。又、列電極D<sub>2</sub>、D<sub>5</sub>、D<sub>8</sub>、……、D<sub>15</sub>各々には、G成分の変換画素データに対応した画素データバルスが印加される。更に、列電極D<sub>3</sub>、D<sub>6</sub>、D<sub>9</sub>、……、D<sub>12</sub>各々には、B成分の変換画素データに対応した画素データバルスが印加される。つまり、1つの列電極と1対の行電極との交差部に形成された互いに隣接する3つの放電セルにて1つの画素を形成しているのである。尚、図20に示される実施例においては、各画素単位にて千鳥状に発光モードA及び発光モードBを実行している。

【0068】この際、図21に示されるように、各放電セル単位にて千鳥状に発光モードA及び発光モードBを実行するようにも構わない。又、図22の如く、複数の画素を1ブロック（破線にて囲まれたブロック）とし、このブロック単位にて千鳥状に発光モードA及び発光モードBを実行するようにも構わない。

【0069】又、図23に示されているように、複数の放電セルを1ブロック（破線にて囲まれたブロック）とし、このブロック単位にて千鳥状に発光モードA及び発光モードBを実行するようにも構わない。又、図24に示されているように、上記発光モードA及び発光モードBをフィールド毎、あるいはフレーム毎に交互に実行する構成としても良い。

【0070】又、上記実施例図6及び図16において、64階調の中間調表示を実施する為の駆動フォーマットについて説明したが、128階調及び256階調についても同様に実施することが出来る。図25～図28各々は、256階調の中間調表示を実施する為の駆動フォーマットを示す図であり、又、図29及び図30各々は、128階調の中間調表示を実施する為の駆動フォーマットを示す図である。

【0071】又、上記図7及び図8に示される駆動方法においては、1つの分割期間中に2つの維持放電期間を設け、両期間に亘って放電発光を実施する場合と、一方の期間のみで放電発光を実施する場合との2通りを放電セル毎に選択的に実施出来るようにすることにより、2つの発光パターン（発光モードA及びB）を実現している。

【0072】しかしながら、図31に示される発光駆動

フォーマットの如く、1分割期間中に4つの維持放電期間（第1維持放電期間I<sub>1</sub>～第4維持放電期間I<sub>4</sub>）を設け、4通りの発光パターンを得るようとしても良い。尚、これら第1維持放電期間I<sub>1</sub>～第4維持放電期間I<sub>4</sub>各々は同一の期間でなくとも良い。この際、かかる図31に示される発光駆動フォーマットに基づく発光モードAによる発光では、

第1分割期間：第1維持放電期間のみで点灯（発光期間“1”）

第2分割期間：第1維持放電期間のみで点灯（発光期間“16”）

第3分割期間：第1～第3維持放電期間各々で点灯（発光期間“64”）

第4分割期間：第1～第3維持放電期間各々で点灯（発光期間“4”）

第5分割期間：第1及び第2維持放電期間各々で点灯（発光期間“2”）

第6分割期間：第1及び第2維持放電期間各々で点灯（発光期間“32”）

第7分割期間：第1～第4維持放電期間の全期間で点灯（発光期間“128”）

第8分割期間：第1～第4維持放電期間の全期間で点灯（発光期間“8”）

なる発光パターンを有する。

【0073】又、図31における発光モードBによる発光では、

第1分割期間：第1及び第2維持放電期間各々で点灯（発光期間“2”）

第2分割期間：第1及び第2維持放電期間各々で点灯（発光期間“32”）

第3分割期間：第1～第4維持放電期間の全期間で点灯（発光期間“128”）

第4分割期間：第1～第4維持放電期間の全期間で点灯（発光期間“8”）

第5分割期間：第1維持放電期間のみで点灯（発光期間“1”）

第6分割期間：第1維持放電期間のみで点灯（発光期間“16”）

第7分割期間：第1～第3維持放電期間各々で点灯（発光期間“64”）

第8分割期間：第1～第3維持放電期間各々で点灯（発光期間“4”）

なる発光パターンを有する。

【0074】又、図31における発光モードCによる発光では、

第1分割期間：第1～第3維持放電期間各々で点灯（発光期間“4”）

第2分割期間：第1～第3維持放電期間各々で点灯（発光期間“64”）

第3分割期間：第1維持放電期間のみで点灯（発光期

間“16”）

第4分割期間：第1維持放電期間のみで点灯（発光期間“1”）

第5分割期間：第1～第4維持放電期間の全期間で点灯（発光期間“8”）

第6分割期間：第1～第4維持放電期間の全期間で点灯（発光期間“128”）

第7分割期間：第1及び第2維持放電期間各々で点灯（発光期間“32”）

10 第8分割期間：第1及び第2維持放電期間各々で点灯（発光期間“2”）

なる発光パターンを有する。

【0075】又、図31における発光モードDによる発光では、

第1分割期間：第1～第4維持放電期間の全期間で点灯（発光期間“8”）

第2分割期間：第1～第4維持放電期間の全期間で点灯（発光期間“128”） 第3分割期間：第1及び第2維持放電期間各々で点灯（発光期間“32”）

20 第4分割期間：第1及び第2維持放電期間各々で点灯（発光期間“2”）

第5分割期間：第1～第3維持放電期間各々で点灯（発光期間“4”）

第6分割期間：第1～第3維持放電期間各々で点灯（発光期間“64”）

第7分割期間：第1維持放電期間のみで点灯（発光期間“16”）

第8分割期間：第1維持放電期間のみで点灯（発光期間“1”）

30 なる発光パターンを有する。

【0076】これら発光モードA～Dによる4通りの発光パターンは、例えば図32(a)に示されるように、各画素毎、又は各放電セル毎、あるいは互いに隣接する複数の放電セルからなるグループ毎に選択的に実施されるのである。尚、上記発光モードA～Dによる4通りの発光パターンを、図32(b)及び図32(c)に示されるが如く、フィールド毎、あるいはフレーム毎に変更して行く構成としても良い。

【0077】又、互いに隣接する4つの放電セルにて1つの画素を構成するようにした場合、これに上記発光モードA～Dによる発光駆動を実施することにより、1フレーム期間中の2つの分割期間にて256階調の中間調表示が可能となる。図33は、かかる点に鑑みて為された発光駆動フォーマットの一例を示す図であり、図34は、1画素を構成する4つの放電セル各々で実施される発光期間を示す図である。

【0078】すなわち、図34(a)の如く1画素を形成する4つの放電セルG<sub>11</sub>、G<sub>12</sub>、G<sub>21</sub>、G<sub>22</sub>各々が上記図33に示される発光駆動フォーマットに従って発光モードA～Dによる発光を行う場合、各放電セルは2つ

50 モードA～Dによる発光を行いう場合、各放電セルは2つ

の分割期間各々にて図34(b)に示されるが如き発光期間の発光を行うのである。又、上記図7及び図8に示される駆動方法に代わって図35に示されるが如き駆動方法を採用しても良い。

【0079】図35に示される駆動方法においては、リセット動作、アドレス動作、第1維持放電動作各々については、上記図7及び図8に示されるものと同一であるものの、かかる第1維持放電動作以降の動作が異なる。すなわち、かかる図35に示される駆動方法では、第1維持放電動作が終了すると、次に、第2サスティンドライバ8は、行電極Y<sub>1</sub>～Y<sub>n</sub>の全てに消去パルスEPを印加して、全ての放電セルの壁電荷を一旦消去するのである(一斉消去動作)。

【0080】次に、アドレスドライバ6は、列電極D<sub>1</sub>～D<sub>m</sub>の内の奇数番目の列電極各々にアドレスパルスAP<sub>o</sub>を印加する。かかるアドレスパルスAP<sub>o</sub>の印加と同一タイミングにて、第2サスティンドライバ8は、奇数番目の行電極Y<sub>1</sub>、Y<sub>3</sub>、Y<sub>5</sub>、Y<sub>7</sub>…に対してデータ書き込みパルスWPを印加する。かかる動作に応じて、奇数番目の“列電極”と奇数番目の“行電極対”との交差部に存在する全ての放電セルに、再び壁電荷が形成される。次に、アドレスドライバ6は、列電極D<sub>1</sub>～D<sub>m</sub>の内の偶数番目の列電極各々にアドレスパルスAP<sub>eV</sub>を印加する。かかるアドレスパルスAP<sub>eV</sub>の印加と同一タイミングにて、第2サスティンドライバ8は、偶数番目の行電極Y<sub>2</sub>、Y<sub>4</sub>、Y<sub>6</sub>、Y<sub>8</sub>…に対してデータ書き込みパルスWPを印加する。かかる動作に応じて、偶数番目の“列電極”と偶数番目の“行電極対”との交差部に存在する全ての放電セルに、再び壁電荷が形成される(選択書き込み動作)。

【0081】次に、第1サスティンドライバ7及び第2サスティンドライバ8は、PDP10の行電極X及びYに対して交互に維持パルスIP<sub>x</sub>及びIP<sub>y</sub>を印加する。この際、壁電荷が残留している放電セルは、かかる維持パルスIP<sub>x</sub>及びIP<sub>y</sub>が交互に印加される度に発光放電を行い、その発光放電状態を維持する(第2維持放電動作)。

【0082】すなわち、かかる第2維持放電動作が実行されることにより、上記選択書き込み動作によって壁電荷の形成された放電セルのみが引き続き上記放電維持期間t<sub>1</sub>の期間に亘り発光放電を行うのである。以上の如く、本発明による中間調表示方法においては、1つの分割期間中に複数の維持放電期間を設け、全期間に亘って放電発光を実施する場合と、少なくとも1つの維持放電期間での発光を停止させる場合とを、放電セル(画素)毎に選択的に実施出来ることにより、偽輪郭の低減を計るものである。

【0083】尚、かかる駆動方法を利用することにより、ディザ又は拡散誤差の如き、複数の放電セルを1ブロックとして捉えた階調表現を実現することが出来る。例えば、図36において破線にて囲まれた2つの放電セ

ル(例えばG<sub>11</sub>、及びG<sub>12</sub>)を1つのブロックとし、図37に示されるが如き駆動フォーマットにて発光駆動を実行するのである。この際、かかる図37に示される第1～第7分割期間からなる7つの分割期間の内で、最も発光期間の重みづけの小なる第7分割期間でのみ、上記図6に示されるが如き2つの維持放電期間を設けた発光駆動を行う。かかる駆動によれば、放電セルG<sub>11</sub>及びG<sub>12</sub>の各々は、この第7分割期間において、図38に示されるが如き状態1～4のいずれかを取り得る。ここで、視覚的に感じられる輝度レベルというものが、1つのブロック中に存在する全ての放電セルの平均発光期間であると捉えると、放電セルG<sub>11</sub>及びG<sub>12</sub>各々の状態2による発光によれば、発光期間“1”相当の輝度が得られ、状態4による発光によれば、発光期間“3”相当の輝度が得られるのである。

【0084】すなわち、かかる構成によれば、発光期間“1”的発光を実行するための分割期間を設げるとも、発光期間“1”及び発光期間“3”各々に相当する輝度レベルを得ることが出来る。従って、上記の如き第1～第7分割期間からなる7つの分割期間にて256階調の中間調表示が可能となるのである。この際、かかる図37に示されるが如き駆動フォーマットにて発光駆動を実行させるべく、上記第1データ変換回路31及び第2データ変換回路33において用いる第1及び第2変換テーブルは、図39に示されるようになる。尚、図39において、入力された画素データのビット8～3は、そのまま変換画素データのビット7～ビット2になるものとする。

【0085】又、上記図36～図39に示される実施例においては、2つの放電セルを1つのブロックとして捉えた場合に採用される動作について説明したが、図40の破線に示されるように4つの放電セルを1つのブロックとして捉えた場合にも同様に適用出来る。図41は、このように4つの放電セルを1つのブロックとして捉えた場合に適用される発光駆動フォーマットを示す図である。

【0086】かかる図41においては、1フレーム期間を第1～第5分割期間なる5つの分割期間に区切り、この内の第5分割期間においてのみ、図42に示されるが如き発光駆動を実施する。すなわち、かかる第5分割期間だけで、4つの放電セルの平均発光期間に相当する発光輝度レベル“1”～“16”までの発光を行うのである。従って、上述した如き第1～第5分割期間からなる5つの分割期間にて256階調の中間調表示が可能となるのである。

【0087】図43は、かかる図41に示されるが如き駆動フォーマットにて発光駆動を実行させる為のデータ変換回路3の内部構成を示す図である。図43において、第1データ変換回路441、第2データ変換回路442、第3データ変換回路443及び第4データ変換回

路444各々は、図44に示されるが如き変換テーブルに従って、8ビットの画素データを5ビットの変換画素データA～Dに夫々変換する。尚、かかる図44において、入力された画素データのビット8～5は、そのまま変換画素データのビット5～ビット2になるものとする。セレクタ440は、各放電セルに対して図40に示されるが如き形態にて変換画素データA～Dが得られるように、第1データ変換回路441、第2データ変換回路442、第3データ変換回路443及び第4データ変換回路444各々からの出力を逐一的にメモリ4に供給する。

【0088】又、上記図2に示される第1データ変換回路31及び第2データ変換回路33各々の前段に、図45の2点鎖線に示されるが如きA特性を有する $\gamma$ 補正回路、及び図45の実線にて示されるB特性を有する $\gamma$ 補正回路を設けても良い。尚、かかる $\gamma$ 補正では、放電セル毎に水平・垂直・時間方向に互いに逆特性となるように画素データを変調することにより、時間方向の平均輝度レベルが本来のレベルとなるように画素データの補正を行うのである。かかる $\gamma$ 補正によれば、画素データの輝度レベルが“63”から“64”，あるいは，“127”から“128”へと推移する際に生じる強い明線（暗線）を低減させることができるのである。

【0089】又、上記実施例においては、映像信号中のR（赤）成分、G（緑）成分、及びB（青）成分各々に対応した画素データに対しては互いに同一の発光パターンを割りあてていたが、図46の駆動フォーマットに示されるように、各色に対応した放電セル毎に発光期間を変えるようにしても良い。図46に示される駆動方法によれば、R（赤）、G（緑）、及びB（青）夫々の発光を司る各放電セルの発光感度の差を補正した適切なバランスにて、PDPの発光駆動を行えるようになる。

【0090】又、上記図2に示される第1データ変換回路31及び第2データ変換回路33各々において用いるデータ変換テーブルとしては、上記図3及び図4、上記図16及び図17にて示されるもののみならず、図47及び図48に示されるものを採用しても良い。又、上記実施例においては、各分割期間の先頭部で必ず一旦リセット動作を行ってからアドレス動作に移行するようしているが、1フレーム（フィールド）期間中の1部の分割期間ではこのリセット動作を行わずとも正常な発光を実施することが出来る。

【0091】図49は、かかる点に鑑みて為された駆動フォーマットの一例を示す図であり、図50及び図51は、かかる駆動フォーマットにてPDPの駆動を実施する際に、第1データ変換回路31及び第2データ変換回路33各々において用いられるデータ変換テーブルの一例を示す図である。図49においては、ディザ処理等により8ビットの画素データを6ビットのデータに変換し、上位2ビット夫々に対応した発光期間の長いサブフ

レーム（サブフィールド）SFを夫々図16に示されるが如く2分割（SF5をSF5a、SF5b、更にSF4をSF4a、SF4b）して、各放電セル毎にサブフレームの順番を入れ替えるようにしたものである。

【0092】この際、かかる図49に示される第2分割期間、及び第8分割期間各々では、かかる図49に示されるようにリセット期間を設けていない。すなわち、SF5a又はSF5bのアドレス期間にて点灯放電セルとして選択される放電セルは、必ずSF4a又はSF4bにおいても点灯放電セルとして選択されることになるので、SF5a又はSF5bにて残留した壁電荷をリセットせずにそのまま残しておいても良いからである。

【0093】かかる構成によれば、1フレーム（フィールド）期間中に実行するリセット動作が8から6に減るので、画像のコントラストを向上させることが出来る。又、ディザ処理等により8ビットの画素データを6ビットのデータに変換し、この6ビットデータを用いて上記の如く8つの分割期間にて発光駆動を実施する際に、ピットの桁上がりによって生じる反転ピットの数が少なくなるように各分割発光期間の重み付けを設定することも出来る。

【0094】図52は、かかる点に鑑みて為された駆動フォーマットの一例を示す図であり、図53及び図54は、かかる駆動フォーマットにてPDPの駆動を実施する際に、第1データ変換回路31及び第2データ変換回路33各々において用いられるデータ変換テーブルの一例を示す図である。この際、図52に示されるように、各分割期間にて実施される発光の期間比は、発光モードAによる発光では、

30 第1分割期間：72

第2分割期間：32

第3分割期間：20

第4分割期間：4

第5分割期間：8

第6分割期間：12

第7分割期間：44

第8分割期間：60

となる。

【0095】一方、発光モードBによる発光では、

40 第1分割期間：60

第2分割期間：44

第3分割期間：12

第4分割期間：8

第5分割期間：4

第6分割期間：20

第7分割期間：32

第8分割期間：72

となる。

【0096】又、上記図46においては、R、G、B夫々の発光を司る各放電セル毎に発光期間を変えるように

した動作例を示したが、これに、図6、図16、図25～図31に示されるが如き各放電セル毎又は互いに隣接する複数の放電セル毎に、夫々異なる複数の発光パターンを割り当てる技術を組み合わせても良い。図55は、かかる点に鑑みて為された駆動フォーマットの一例を示す図である。

【0097】図55においては、1フレーム(フィールド)期間を第1～第8分割期間からなる8つの分割期間に区切る。各分割期間内では、前述した如きリセット動作R、アドレス動作A.D.、選択消去動作S<sub>1</sub>～S<sub>4</sub>を実行する。尚、これら選択消去動作S<sub>1</sub>～S<sub>4</sub>により、図55に示されるように、維持放電動作が5つに分断されることになる。

【0098】又、図55に示される駆動フォーマットでは、G(緑)、R(赤)、B(青)各々の発光を司る放電セルに対する最大発光輝度の比が、

G(緑)の発光を司る放電セル：512

R(赤)の発光を司る放電セル：765

B(青)の発光を司る放電セル：1020

となるように制御する。

【0099】更に、図55に示されるように、これらG(緑)、R(赤)、B(青)各々に対応した放電セル毎に、互いに異なる2つの発光パターン(発光モードA、B)を割り当て、これら発光モードA及びBによる発光を、例えば、上述した図20に示される形態にて実行するのである。

【0100】

【発明の効果】以上詳述した如く、本発明においては、放電セル毎、又は互いに隣接する複数の放電セルが組みとなった放電セルブロック毎に分割期間(サブフィールド)の表示順番を入れ替えるようにしている。これにより、特定の階調変化の際(平坦な画像が動いてその階調レベルが2のn乗境界を横切る際)に生じていた明線又は暗線(偽輪郭)を、1放電セルおき、又は1放電セルブロックおきの明暗として見かけ上打ち消し合う効果を向上させ、フリッカや偽輪郭を十分に抑制することが出来る。

【図面の簡単な説明】

【図1】本発明による中間調表示方法に基づいてプラズマディスプレイパネルを駆動するプラズマディスプレイ装置の概略構成を示す図である。

【図2】データ変換回路3の内部構成の一例を示す図である。

【図3】データ変換回路3における第1及び第2変換テーブルの一例を示す図である。

【図4】データ変換回路3における第1及び第2変換テーブルの一例を示す図である。

【図5】PDP画面上における各放電セルと発光モードA及びBとの対応を示す図である。

【図6】本発明の中間調表示方法に基づく発光駆動フォーマットの一例を示す図である。

一マットの一例を示す図である。

【図7】本発明の中間調表示方法に基づく1分割期間における駆動パルスの印加タイミングを示す図である。

【図8】本発明の中間調表示方法に基づく1分割期間における駆動パルスの印加タイミングを示す図である。

【図9】データ変換回路3の内部構成の他の一例を示す図である

【図10】ディザ処理回路34における第1フィールドでの内部動作波形を示す図である。

【図11】ディザ処理回路34における第2フィールドでの内部動作波形を示す図である。

【図12】ディザ処理回路34における第3フィールドでの内部動作波形を示す図である。

【図13】ディザ処理回路34における第4フィールドでの内部動作波形を示す図である。

【図14】PDP画面上における各放電セルG<sub>11</sub>～G<sub>44</sub>各々の配置を示す図である。

【図15】放電セルG<sub>11</sub>～G<sub>14</sub>各々に対応した変換画素データを示す図である。

【図16】本発明の中間調表示方法に基づく発光駆動フォーマットの一例を示す図である。

【図17】データ変換回路3における第1及び第2変換テーブルの一例を示す図である。

【図18】データ変換回路3における第1及び第2変換テーブルの一例を示す図である。

【図19】プラズマディスプレイ装置の概略構成を示す図である。

【図20】PDP画面上における各画素と発光モードA及びBとの対応を示す図である。

【図21】PDP画面上における各放電セルと発光モードA及びBとの対応を示す図である。

【図22】PDP画面上における画素ブロックと発光モードA及びBとの対応を示す図である。

【図23】PDP画面上における放電セルブロックと発光モードA及びBとの対応を示す図である。

【図24】PDP画面上における各放電セルと発光モードA及びBとの対応関係の推移をフィールド毎に示す図である。

【図25】本発明の中間調表示方法に基づく発光駆動フォーマットの一例を示す図である。

【図26】本発明の中間調表示方法に基づく発光駆動フォーマットの一例を示す図である。

【図27】本発明の中間調表示方法に基づく発光駆動フォーマットの一例を示す図である。

【図28】本発明の中間調表示方法に基づく発光駆動フォーマットの一例を示す図である。

【図29】本発明の中間調表示方法に基づく発光駆動フォーマットの一例を示す図である。

【図30】本発明の中間調表示方法に基づく発光駆動フォーマットの一例を示す図である。

【図 3 1】本発明の中間調表示方法に基づく発光駆動フォーマット（維持放電期間が4つの場合）の一例を示す図である。

【図 3 2】PDP画面上における各放電セルと発光モードA～Dとの対応関係の推移をフィールド毎に示す図である。

【図 3 3】本発明の中間調表示方法に基づく発光駆動フォーマット（維持放電期間が4つの場合）の一例を示す図である。

【図 3 4】1画素を構成する4つの放電セルG<sub>11</sub>～G<sub>14</sub>、10各々で実施される発光期間を示す図である。

【図 3 5】本発明の中間調表示方法に基づく1分割期間中における駆動パルスの印加タイミングの他の例を示す図である。

【図 3 6】PDP画面上において1画素を形成する放電セル対と発光モードA及びBとの対応関係を示す図である。

【図 3 7】本発明による駆動パルスの印加方法を利用して誤差拡散による中間調表示を実施する為の発光駆動フォーマットを示す図である。

【図 3 8】放電セルG<sub>11</sub>及びG<sub>12</sub>各々の発光状態と輝度との関係を示す図である。

【図 3 9】図3 7に示される駆動フォーマットにて発光駆動を実行させる為の第1及び第2変換テーブル各々を示す図である。

【図 4 0】4つの放電セルからなるブロックと発光モードA～Dとの対応を示す図である。

【図 4 1】4つの放電セルを1つのブロックとして捉えた場合に適用される発光駆動フォーマットを示す図である。

【図 4 2】図4 1に示される発光駆動フォーマット中の第5分割期間での駆動パルスの印加タイミングを示す図である。

【図 4 3】データ変換回路3の内部構成の他の例を示す図である。

【図 4 4】図4 3に示されるデータ変換回路3の第1データ変換回路4 4 1、第2データ変換回路4 4 2、第3データ変換回路4 4 3及び第4データ変換回路4 4 4各々において用いられる第1変換テーブル～第4変換テー

ブルを示す図である。

【図 4 5】γ特性補正回路に用いられるγ特性A及びBを示す図である。

【図 4 6】R放電セル、G放電セル、及びB放電セル各々での発光駆動フォーマットを示す図である。

【図 4 7】データ変換回路3における第1及び第2変換テーブルの他の一例を示す図である。

【図 4 8】データ変換回路3における第1及び第2変換テーブルの他の一例を示す図である。

【図 4 9】本発明の中間調表示方法に基づく発光駆動フォーマットの一例を示す図である。

【図 5 0】図4 9に示される駆動フォーマットにて発光駆動を実行させる為の第1及び第2変換テーブル各々を示す図である。

【図 5 1】図4 9に示される駆動フォーマットにて発光駆動を実行させる為の第1及び第2変換テーブル各々を示す図である。

【図 5 2】本発明の中間調表示方法に基づく発光駆動フォーマットの一例を示す図である。

【図 5 3】図5 2に示される駆動フォーマットにて発光駆動を実行させる為の第1及び第2変換テーブル各々を示す図である。

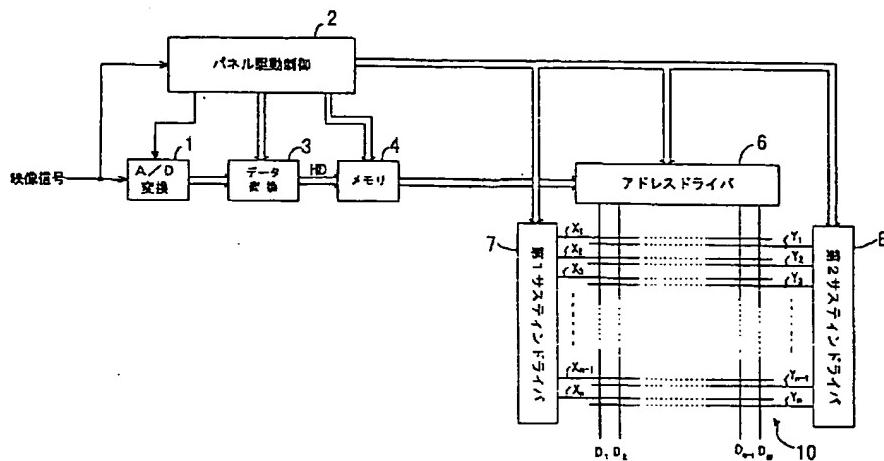
【図 5 4】図5 2に示される駆動フォーマットにて発光駆動を実行させる為の第1及び第2変換テーブル各々を示す図である。

【図 5 5】R、G、B夫々に対応した各放電セルでの発光駆動フォーマットの一例を示す図である。

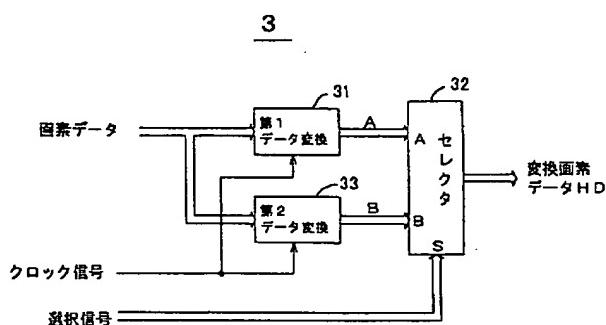
【主要部分の符号の説明】

- 1 A/D変換器
- 3 データ変換回路
- 4 メモリ
- 6 アドレスドライバ
- 7 第1サスティンドライバ
- 8 第2サスティンドライバ
- 10 PDP(プラズマディスプレイパネル)
- 31 第1データ変換回路
- 32 セレクタ
- 33 第2データ変換回路

【図1】



【図2】



【図3】

中間段 レベル	入力 画素データ	第1変換テーブル								第2変換テーブル							
		変換画素データA				変換画素データB				変換画素データA				変換画素データB			
00	000000	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
01	000001	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
02	000010	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
03	000011	1	0	0	0	0	1	0	0	0	0	0	0	0	0	0	1
04	000100	0	1	0	0	0	0	0	0	0	0	0	0	0	1	0	0
05	000101	1	1	0	0	0	0	0	0	0	0	0	0	0	1	1	0
06	000110	0	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0
07	000111	1	1	0	0	0	1	0	0	0	1	0	0	0	1	1	1
08	001000	0	0	0	0	1	0	0	1	0	0	1	0	0	0	0	0
09	001001	1	0	0	0	1	0	0	1	0	0	1	0	0	0	1	1
10	001010	0	0	0	0	1	1	0	0	0	1	1	0	0	0	0	0
11	001011	1	0	0	0	1	1	0	0	0	1	1	0	0	0	1	1
12	001100	0	1	0	0	1	0	0	0	1	0	0	1	0	0	0	1
13	001101	1	1	0	0	1	0	0	1	0	0	1	0	0	1	1	1
14	001110	0	1	0	0	1	1	0	0	1	1	1	0	0	1	0	0
15	001111	1	1	0	0	1	1	0	0	1	1	1	0	0	1	1	1
16	010000	0	0	1	0	0	0	0	0	0	0	0	1	0	0	0	0
17	010001	1	0	1	0	0	0	0	0	0	0	0	1	0	1	0	1
18	010010	0	0	1	0	0	1	0	0	1	0	0	1	0	0	1	0
19	010011	1	0	1	0	0	1	0	0	1	0	0	1	0	1	0	1
20	010100	0	1	1	0	0	0	0	0	0	0	0	1	1	0	0	0
21	010101	1	1	1	0	0	0	0	0	0	1	1	1	0	1	1	1
22	010110	0	1	1	0	0	1	0	0	1	0	0	1	1	0	0	1
23	010111	1	1	1	0	0	1	0	0	1	0	0	1	1	1	0	1
24	011000	0	0	1	0	1	0	0	1	0	0	1	0	1	0	0	0
25	011001	1	0	1	0	1	0	0	1	0	0	1	0	1	0	1	1
26	011010	0	0	1	0	1	1	0	0	1	1	0	1	0	0	0	0
27	011011	1	0	1	0	1	1	0	0	1	1	1	0	1	0	1	1
28	011100	0	1	1	0	1	0	0	1	0	0	1	0	1	1	0	0
29	011101	1	1	1	0	1	0	0	1	0	0	1	0	1	1	1	1
30	011110	0	1	1	0	1	1	1	0	1	1	1	0	1	1	0	0
31	011111	1	1	1	0	1	1	1	0	1	1	1	0	1	1	1	1

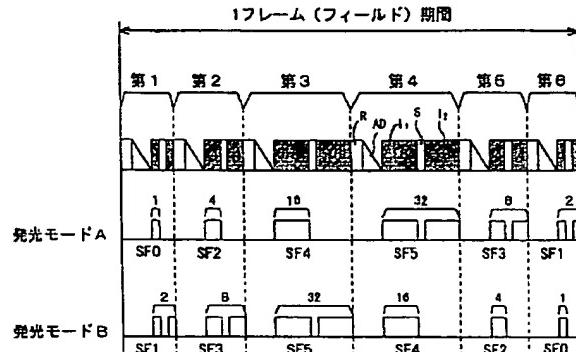
【図5】

1	2	3	4	....(列)
(行)	A	B	A	B
1	A	B	A	B
2	B	A	B	A
3	A	B	A	B
4	B	A	B	A
.				

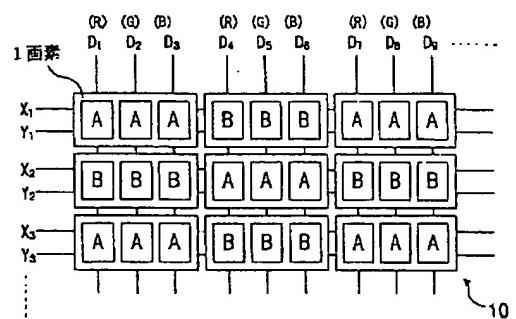
【図4】

中間段 レベル	入力 回路データ	第1交換テーブル								第2交換テーブル							
		交換面素データA				交換面素データB				交換面素データA				交換面素データB			
32	100000	0	0	1	0	0	0	0	1	0	0	0	0	0	0	0	0
33	100001	1	0	0	1	0	0	0	0	1	0	0	1	0	0	0	0
34	100010	0	0	0	1	0	1	1	0	1	0	0	0	0	0	0	0
35	100011	1	0	0	1	0	1	1	0	1	0	0	1	0	1	0	0
36	100100	0	1	0	1	0	0	0	0	1	0	1	0	1	0	0	0
37	100101	1	1	0	1	0	0	0	0	1	0	1	1	1	0	0	0
38	100110	0	1	0	1	0	1	1	0	1	0	1	0	0	0	0	0
39	100111	1	1	0	1	0	1	1	0	1	0	1	1	0	1	1	0
40	101000	0	0	0	1	1	0	0	1	1	0	0	0	0	0	0	0
41	101001	1	0	0	1	1	0	0	1	1	0	0	1	0	0	1	0
42	101010	0	0	0	1	1	1	1	1	1	0	0	0	0	0	0	0
43	101011	1	0	0	1	1	1	1	1	1	0	0	1	0	0	1	0
44	101100	0	1	0	1	0	0	0	1	1	0	1	0	0	0	0	0
45	101101	1	1	0	1	1	0	0	1	1	0	1	1	0	1	1	0
46	101110	0	1	0	1	1	1	1	1	1	0	1	0	1	0	1	0
47	101111	1	1	0	1	1	1	1	1	1	0	1	1	1	0	1	1
48	110000	0	0	1	1	0	0	0	0	1	1	0	0	0	0	0	0
49	110001	1	0	1	1	0	0	0	0	1	1	0	1	0	1	0	1
50	110010	0	0	1	1	0	1	1	0	1	1	0	0	0	0	0	0
51	110011	1	0	2	1	0	1	1	0	1	1	0	1	0	1	0	1
52	110100	0	1	1	1	0	0	0	0	1	1	1	0	0	0	0	0
53	110101	1	1	1	1	0	0	0	0	1	1	1	1	1	1	1	1
54	110110	0	1	1	1	0	1	1	0	1	1	1	0	1	0	1	0
55	110111	1	1	1	1	0	1	1	0	1	1	1	1	1	1	1	1
56	111000	0	0	1	1	1	0	0	0	1	1	1	0	0	0	0	0
57	111001	1	0	1	1	1	0	0	1	1	1	0	1	0	1	1	0
58	111010	0	0	1	1	1	1	1	1	1	1	1	0	0	0	0	0
59	111011	1	0	1	1	1	1	1	1	1	1	1	0	1	0	1	0
60	111100	0	1	1	1	1	0	0	1	1	1	1	0	0	0	0	0
61	111101	1	1	1	1	1	0	0	1	1	1	1	0	1	0	1	1
62	111110	0	1	1	1	1	1	1	1	1	1	1	0	1	1	1	0
63	111111	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

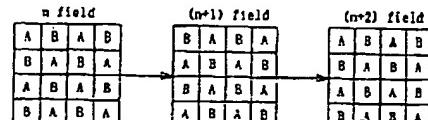
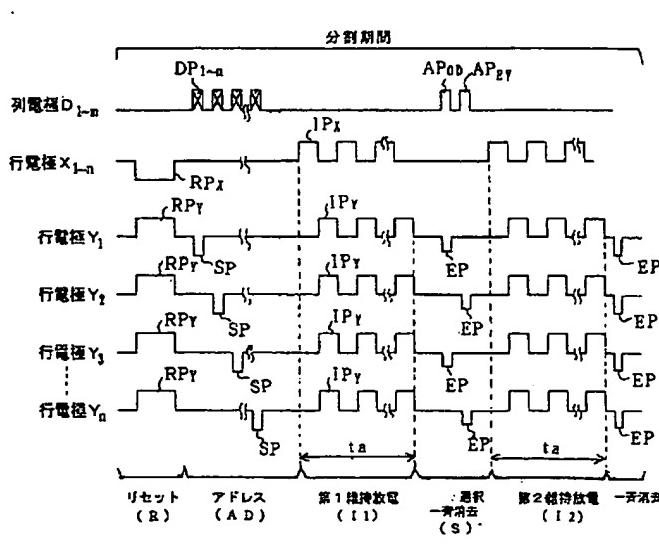
【図6】



【図20】

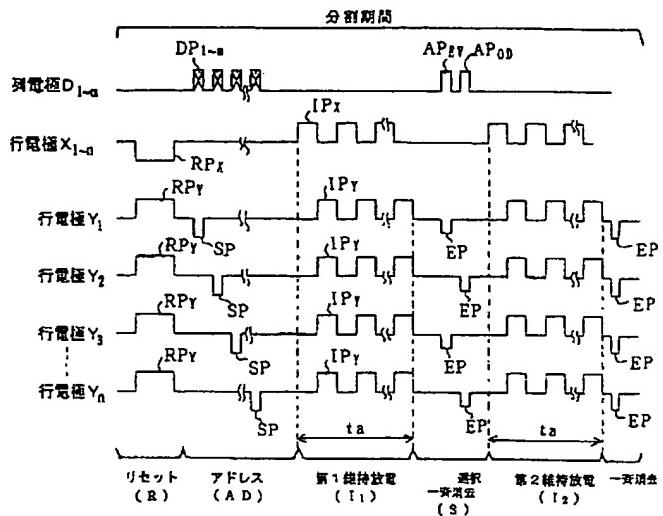


【図21】

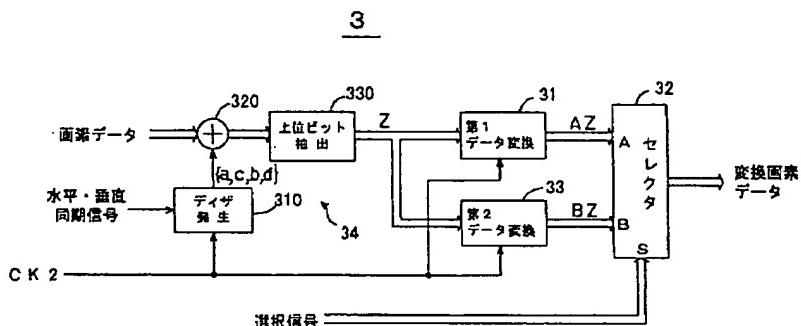


【図24】

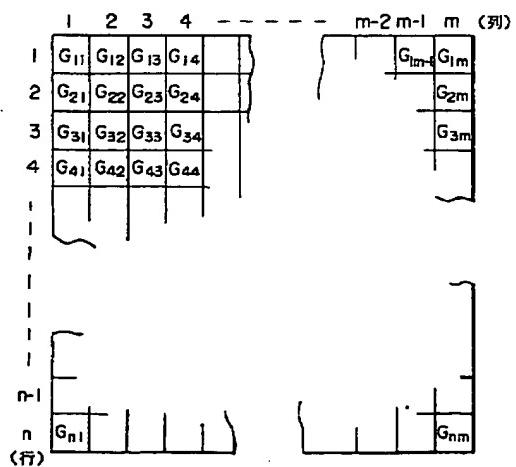
【図8】



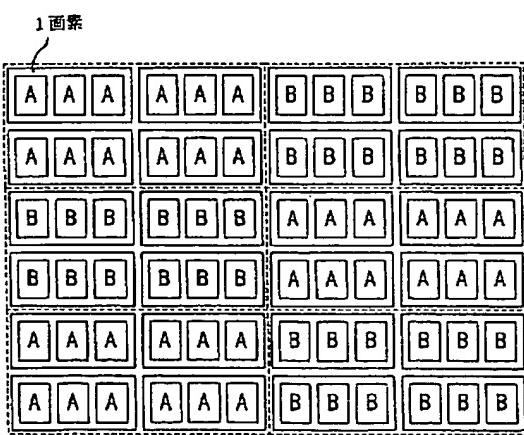
【図9】



【図14】

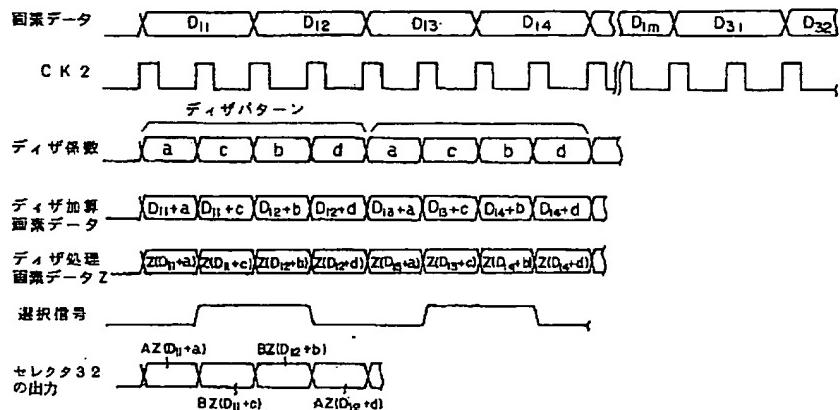


【図22】



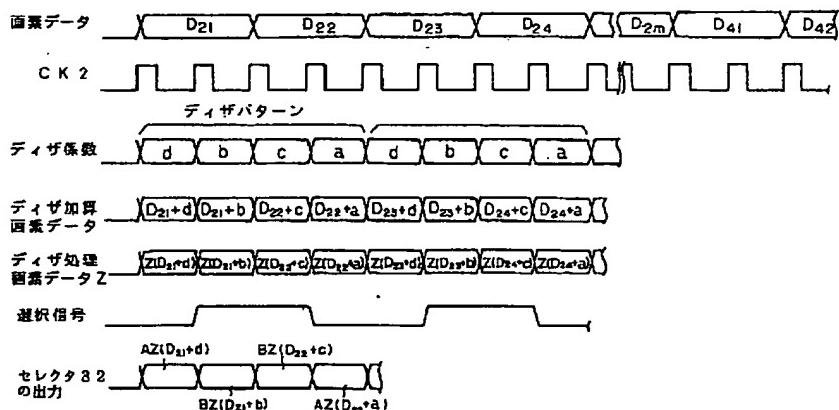
【図10】

第1フィールド

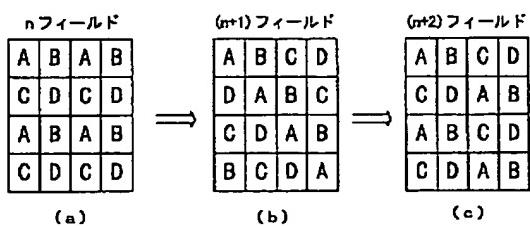


【図11】

第2フィールド

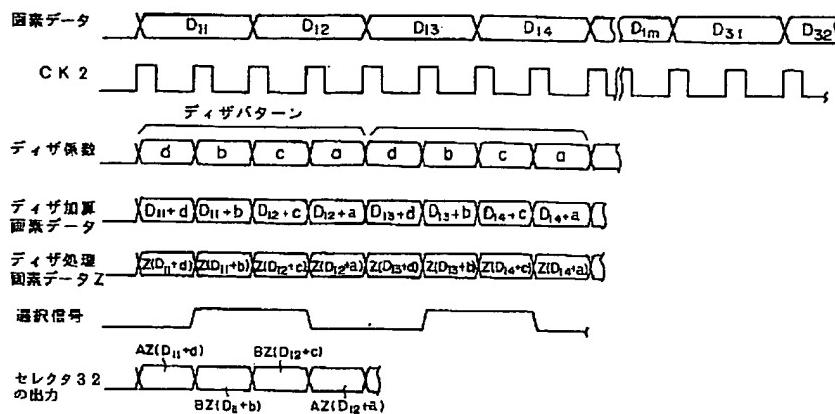


【図32】

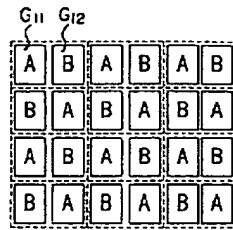


[図12]

第3フィールド

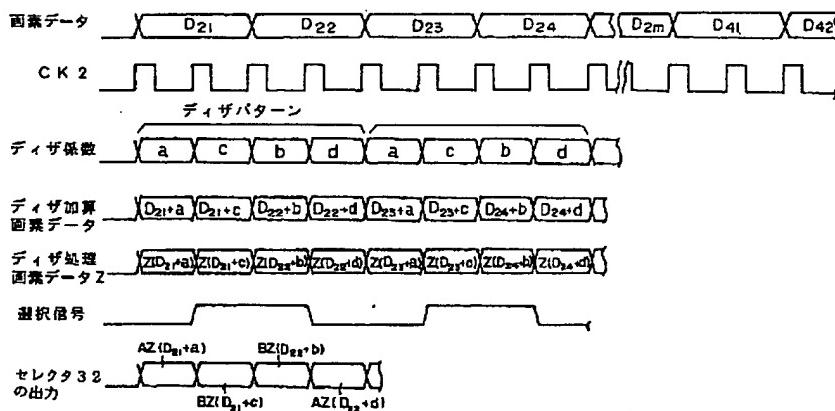


[図36]

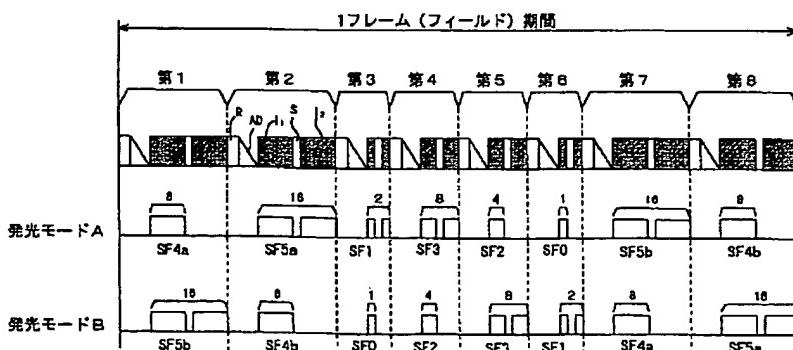


[図13]

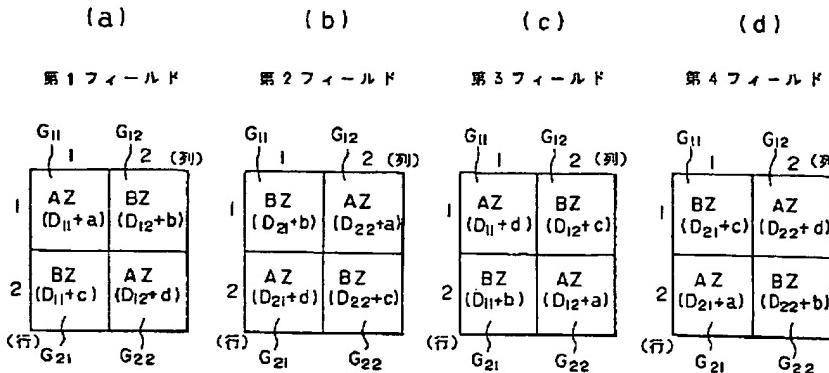
第4フィールド



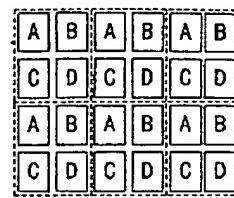
[図16]



【図15】



【図40】



【図17】

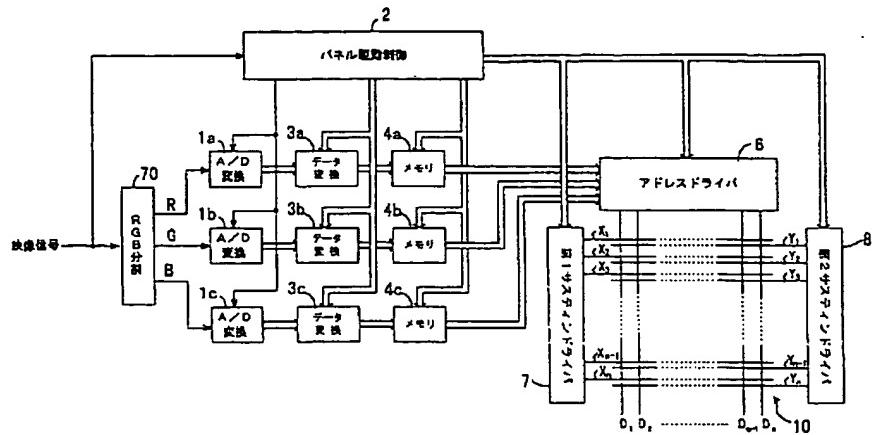
時間 レベル	入力 回路データ	第1交換テーブル		第2交換テーブル	
		変換回路データA	変換回路データB	変換回路データA	変換回路データB
00	000000	1 7 6 3 4 2 1	0 7 1 3 4 1 2 1	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0
01	000001	0 0 0 0 0 0 1 0 0	0 0 1 0 0 0 0 0	0 0 0 0 0 1 0 1 1	0 0 0 0 0 1 1 1 1
02	000010	0 0 1 0 0 0 0 0	0 0 0 0 0 1 0 0	0 0 1 0 1 1 0 0 0	0 0 1 0 1 1 1 1 1
03	000011	0 0 1 0 0 1 0 0	0 0 1 0 0 1 0 0	0 0 1 0 1 1 0 0 0	0 0 1 0 1 1 1 1 1
04	000100	0 0 0 0 1 0 0 0	0 0 0 1 0 0 0 0	0 0 0 1 1 0 0 0 0	0 0 0 1 1 0 1 1 1
05	000101	0 0 0 0 0 1 1 0 0	0 0 1 1 0 0 0 0	0 0 0 1 1 1 0 0 0	0 0 0 1 1 1 1 1 1
06	000110	0 0 1 0 1 0 0 0	0 0 0 1 0 1 0 0	0 0 0 1 1 1 1 0 0	0 0 0 1 1 1 1 1 1
07	000111	0 0 1 0 1 1 0 0	0 0 1 1 0 1 0 0	0 0 0 1 1 1 1 0 0	0 0 0 1 1 1 1 1 1
08	001000	0 0 0 1 0 0 0 0	0 0 0 0 1 0 0 0	0 0 1 0 0 0 0 0 0	0 0 1 0 0 0 0 0 0
09	001001	0 0 0 1 0 1 0 0	0 0 1 0 1 0 0 0	0 0 1 0 0 0 0 0 0	0 0 1 0 0 0 0 0 0
10	001010	0 0 1 1 0 0 0 0	0 0 0 0 1 1 0 0	0 0 1 0 0 0 0 0 0	0 0 1 0 0 0 0 0 0
11	001011	0 0 1 1 0 1 0 0	0 0 1 0 1 1 0 0	0 0 1 0 0 0 0 0 0	0 0 1 0 0 0 0 0 0
12	001100	0 0 0 1 1 0 0 0	0 0 0 1 1 0 0 0	0 0 1 1 0 0 0 0 0	0 0 1 1 0 0 0 0 0
13	001101	0 0 0 1 1 1 0 0	0 0 1 1 1 0 0 0	0 0 1 1 1 0 0 0 0	0 0 1 1 1 0 0 0 0
14	001110	0 0 1 1 1 0 0 0	0 0 0 1 1 1 0 0	0 0 1 1 1 1 0 0 0	0 0 1 1 1 1 0 0 0
15	001111	0 0 1 1 1 1 0 0	0 0 1 1 1 1 0 0	0 0 1 1 1 1 1 0 0	0 0 1 1 1 1 1 1 1
16	010000	1 0 0 1 0 0 0 0	0 0 0 0 1 0 1 0	0 0 0 0 1 0 0 0 0	0 0 0 0 1 0 0 0 0
17	010001	1 0 0 1 0 1 0 0	0 0 1 0 1 0 1 0	0 0 0 1 0 1 0 0 0	0 0 1 0 1 0 0 1 1
18	010010	1 0 1 1 0 0 0 0	0 0 0 0 1 1 1 0	0 0 0 0 1 1 1 0 0	0 0 0 0 1 1 1 1 1
19	010011	1 0 1 1 0 1 0 0	0 0 1 0 1 1 1 0	0 0 0 1 1 0 1 0 0	0 0 1 0 1 1 0 1 1
20	010100	1 0 0 1 1 0 0 0	0 0 0 1 1 0 1 0	0 0 1 0 1 0 1 0 0	0 0 1 0 1 0 1 1 1
21	010101	1 0 0 1 1 1 0 0	0 0 1 1 1 0 1 0	0 0 1 0 1 1 1 1 0	0 0 1 0 1 1 1 1 1
22	010110	1 0 1 1 1 0 0 0	0 0 0 1 1 1 1 0	0 0 1 1 1 1 0 1 0	0 0 0 1 1 1 1 1 1
23	010111	1 0 1 1 1 1 0 0	0 0 1 1 1 1 1 0	0 0 1 1 1 1 1 1 0	0 0 1 1 1 1 1 1 1
24	011000	1 0 0 1 0 0 0 1	0 1 0 0 1 0 1 0	1 1 0 0 0 0 0 0 1	1 1 0 0 0 0 0 0 1
25	011001	1 0 0 1 0 1 0 1	0 1 1 0 1 0 1 0	1 1 1 0 0 0 0 0 1	1 1 1 0 0 0 0 1 1
26	011010	1 0 1 1 0 0 0 1	0 1 0 0 1 1 1 0	1 1 0 0 1 0 0 1 0	1 1 0 0 1 0 1 1 1
27	011011	1 0 1 1 0 1 0 1	0 1 1 0 1 0 1 0	1 1 1 0 0 1 0 1 1	1 1 1 0 0 1 1 1 1
28	011100	1 0 0 1 1 0 0 1	0 1 0 1 1 0 1 0	1 1 0 1 1 0 0 1 1	1 1 0 1 1 1 1 1 1
29	011101	1 0 0 1 1 1 0 1	0 1 2 1 1 0 1 0	1 1 1 0 1 1 0 2 1	1 1 0 1 1 1 1 1 1
30	011110	1 0 1 1 1 0 0 1	0 1 0 1 1 1 1 0	1 1 0 1 1 1 1 0 1	1 1 0 1 1 1 1 1 1
31	011111	1 0 1 1 1 1 0 1	0 1 1 1 1 1 1 1	1 1 1 1 1 1 1 1 1	1 1 1 1 1 1 1 1 1

時間 レベル	入力 回路データ	第1交換テーブル		第2交換テーブル	
		変換回路データA	変換回路データB	変換回路データA	変換回路データB
32	100000	1 1 0 1 0 0 0 0	0 0 0 0 0 1 0 1	1 1 1 1 0 1 1 1	0 0 0 0 1 0 1 1
33	100001	1 1 0 1 0 1 0 0	0 0 1 0 0 1 0 0	0 0 0 0 0 1 1 1	0 0 0 0 1 1 1 1
34	100010	1 1 1 1 0 0 0 0	0 0 0 0 0 1 0 0	0 0 1 0 1 1 1 1	0 0 1 0 1 1 1 1
35	100011	1 1 1 1 0 1 0 0	0 0 1 0 1 1 0 0	0 0 1 0 1 1 1 1	0 0 1 0 1 1 1 1
36	100100	1 1 0 1 1 1 0 0	0 0 0 1 0 0 0 0	0 0 0 1 1 0 1 1	0 0 0 1 1 0 1 1
37	100101	1 1 0 1 1 1 1 0	0 0 1 1 0 1 0 0	0 0 1 1 1 1 0 1	0 0 1 1 1 1 0 1
38	100110	1 1 1 1 1 1 0 0	0 0 0 1 1 1 1 0	0 0 0 1 1 1 1 1 1	0 0 0 1 1 1 1 1 1
39	100111	1 1 1 1 1 1 1 0	0 0 1 1 1 1 1 0	0 0 1 1 1 1 1 1 1	0 0 1 1 1 1 1 1 1
40	101000	1 1 0 1 0 0 0 1	0 1 0 0 1 0 1 1	0 1 1 0 1 0 1 1	0 1 1 0 1 0 1 1
41	101001	1 1 0 1 0 1 0 1	0 1 1 0 1 0 1 1	0 1 1 1 0 1 0 1	0 1 1 1 0 1 0 1
42	101010	1 1 1 1 0 0 0 1	0 1 0 0 1 1 1 1	0 1 0 0 1 1 1 1	0 1 0 0 1 1 1 1
43	101011	1 1 1 1 0 1 0 1	0 1 1 0 1 0 1 1	0 1 1 0 1 1 1 1	0 1 1 0 1 1 1 1
44	101100	1 1 0 1 1 0 0 1	0 1 0 1 1 1 0 1	0 1 0 1 1 1 0 1	0 1 0 1 1 1 0 1
45	101101	1 1 0 1 1 1 0 1	0 1 1 0 1 1 0 1	0 1 1 1 1 1 0 1	0 1 1 1 1 1 0 1
46	101110	1 1 1 1 1 1 0 1	0 1 0 1 1 1 1 0	0 1 0 1 1 1 1 1 1	0 1 0 1 1 1 1 1 1
47	101111	1 1 1 1 1 1 1 0	0 1 1 1 1 1 1 0	0 1 1 1 1 1 1 1 1	0 1 1 1 1 1 1 1 1
48	110000	1 1 0 1 0 0 0 1	0 1 0 0 1 0 0 1	1 1 0 0 1 0 1 0 1	1 1 0 0 1 0 1 0 1
49	110001	1 1 0 1 0 1 0 1	0 1 0 1 0 1 0 1	1 0 1 0 1 0 1 0 1	1 0 1 0 1 0 1 0 1
50	110010	1 1 1 1 0 0 0 1	1 0 0 0 1 1 1 1	1 0 0 0 1 1 1 1	1 0 0 0 1 1 1 1
51	110011	1 1 1 1 0 1 0 1	1 0 1 0 1 1 1 1	1 0 1 0 1 1 1 1	1 0 1 0 1 1 1 1
52	110100	1 1 0 1 1 0 0 1	1 0 0 1 1 0 1 0	1 0 0 1 1 1 0 1 1	1 0 0 1 1 1 0 1 1
53	110101	1 1 0 1 1 1 0 1	1 0 1 0 1 1 1 1 0	1 0 1 1 1 1 0 1 1	1 0 1 1 1 1 0 1 1
54	110110	1 1 1 1 1 0 1 0	1 0 0 1 1 1 1 1 0	1 0 0 1 1 1 1 1 1 1	1 0 0 1 1 1 1 1 1 1
55	110111	1 1 1 1 1 1 1 0	1 0 1 1 1 1 1 1 0	1 0 1 1 1 1 1 1 1 1	1 0 1 1 1 1 1 1 1 1
56	111000	1 1 0 1 0 0 0 1	1 1 0 0 1 0 0 1 1	1 1 1 0 0 1 0 0 1 1	1 1 1 0 0 1 0 0 1 1
57	111001	1 1 0 1 0 1 0 1	1 1 0 1 0 1 1 1 1	1 1 1 0 1 0 1 1 1 1	1 1 1 0 1 0 1 1 1 1
58	111010	1 1 1 1 0 0 0 1	1 1 0 0 1 1 0 1 1	1 1 1 0 0 1 1 1 1 1	1 1 1 0 0 1 1 1 1 1
59	111011	1 1 1 1 0 1 0 1	1 1 1 0 1 0 1 1 1	1 1 1 1 0 1 1 1 1 1	1 1 1 1 0 1 1 1 1 1
60	111100	1 1 0 1 1 0 0 1	1 1 0 1 1 0 1 1 1	1 1 1 0 1 1 0 1 1 1	1 1 1 0 1 1 0 1 1 1
61	111101	1 1 0 1 1 1 0 1	1 1 0 1 1 1 1 1 1	1 1 1 1 0 1 1 1 1 1	1 1 1 1 0 1 1 1 1 1
62	111110	1 1 1 1 1 0 0 1	1 1 0 1 1 1 1 0 1	1 1 0 1 1 1 1 1 1 1	1 1 0 1 1 1 1 1 1 1
63	111111	1 1 1 1 1 1 0 1	1 1 1 1 1 1 1 1 1	1 1 1 1 1 1 1 1 1 1	1 1 1 1 1 1 1 1 1 1

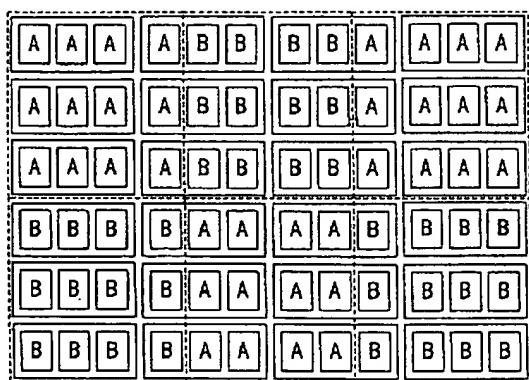
【図38】

状態	放電セル G <sub>11</sub>		放電セル G <sub>12</sub>	
	非発光	非発光	非発光	発光 (発光期間 "2")
1	非発光	非発光	非発光	発光 (発光期間 "1"相当の輝度)
2	非発光	非発光	発光 (発光期間 "2")	発光 (発光期間 "2"相当の輝度)
3	発光 (発光期間 "4")	非発光	非発光	発光 (発光期間 "3"相当の輝度)
4	発光 (発光期間 "4")	発光 (発光期間 "2")	非発光	発光 (発光期間 "3"相当の輝度)

【図19】

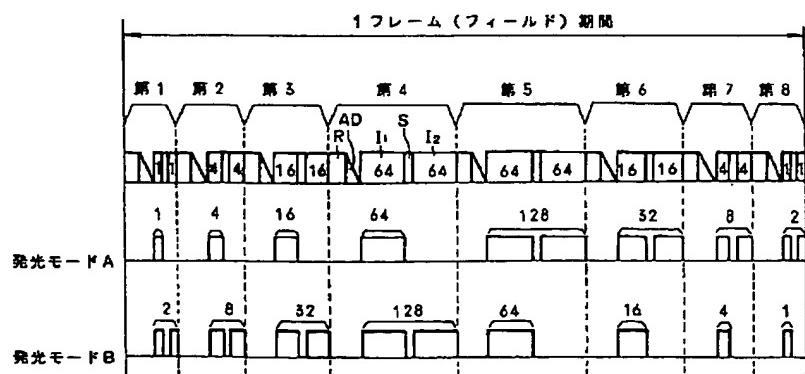


【図23】

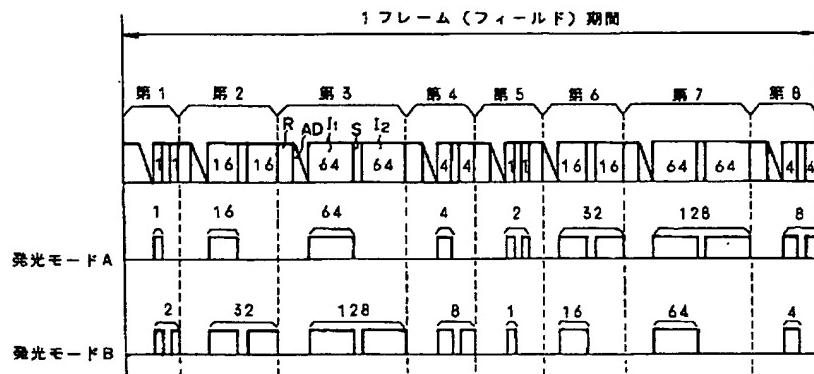


入力 固定データ	第1変換テーブル	第2変換テーブル
8 7 6 5 4 3 2 1	変換データ A 7 6 5 4 3 2 1	変換データ B 7 6 5 4 3 2 1
* * * * * 0 0	* * * * * 0	* * * * * 0
* * * * * 0 1	* * * * * 0	* * * * * 1
* * * * * 1 0	* * * * * 1	* * * * * 0
* * * * * 1 1	* * * * * 1	* * * * * 1

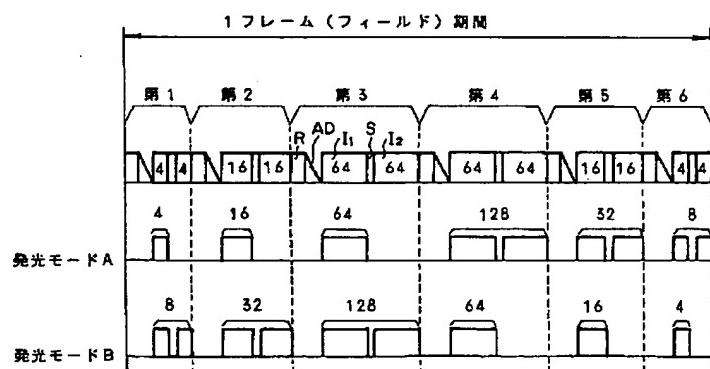
【図25】



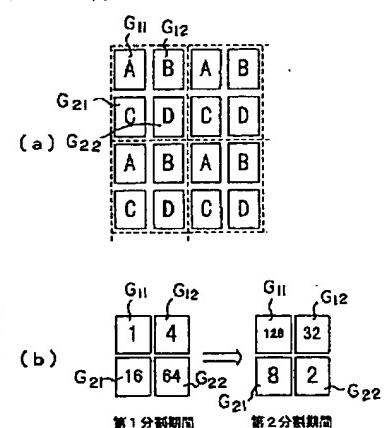
【図26】



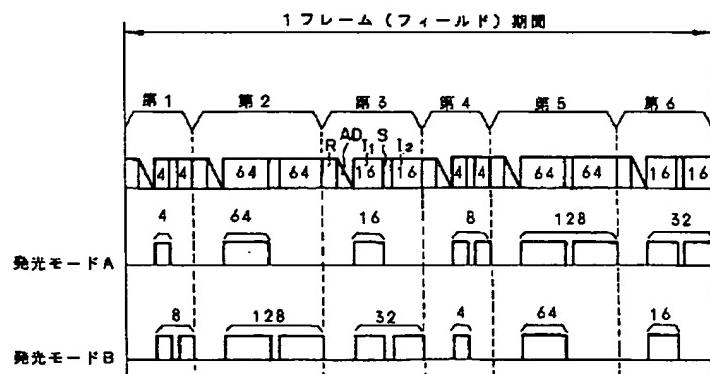
【図27】



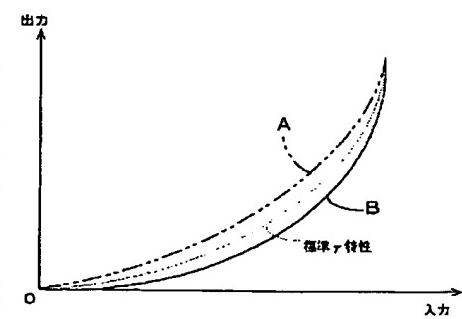
【図34】



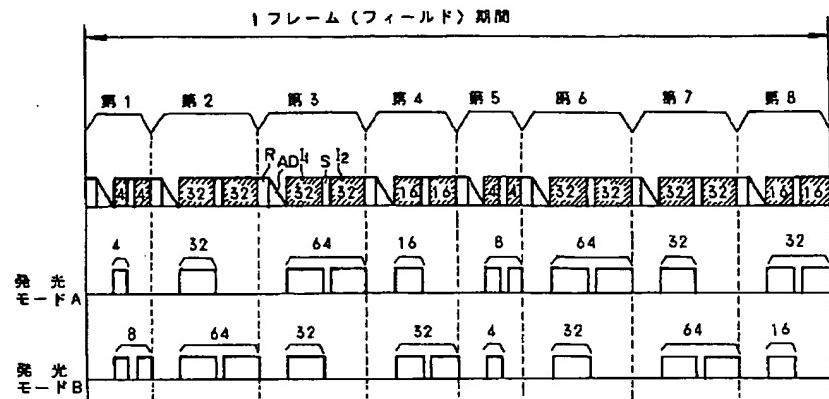
【図28】



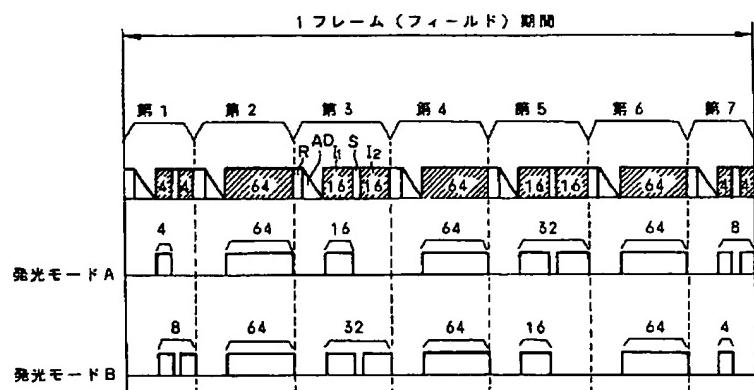
【図45】



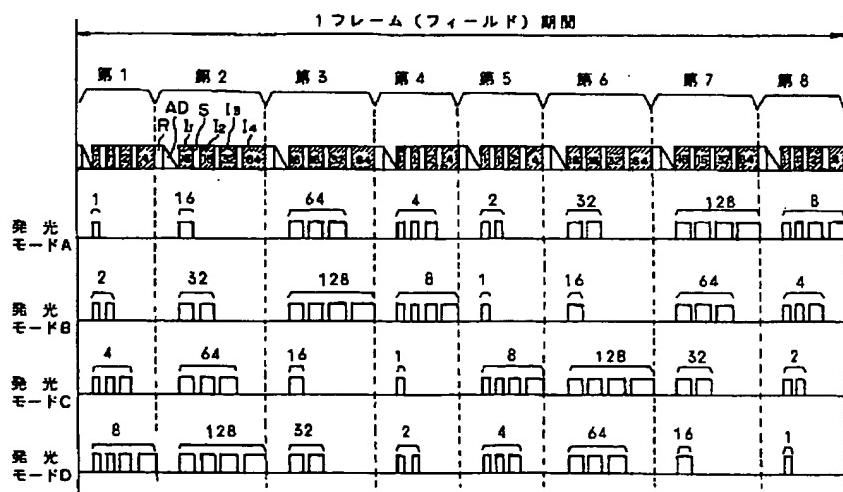
【図29】



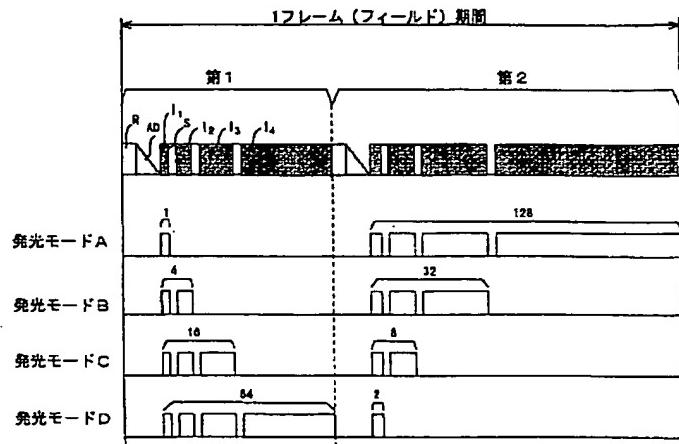
【図30】



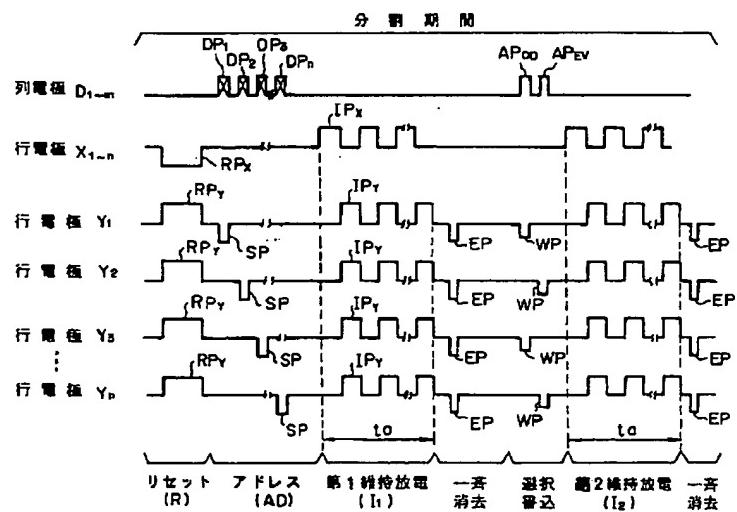
【図31】



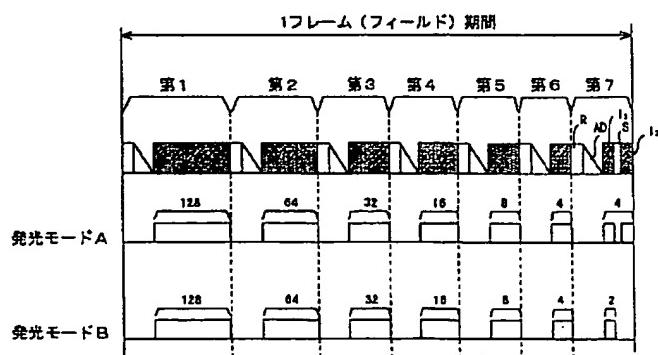
【図33】



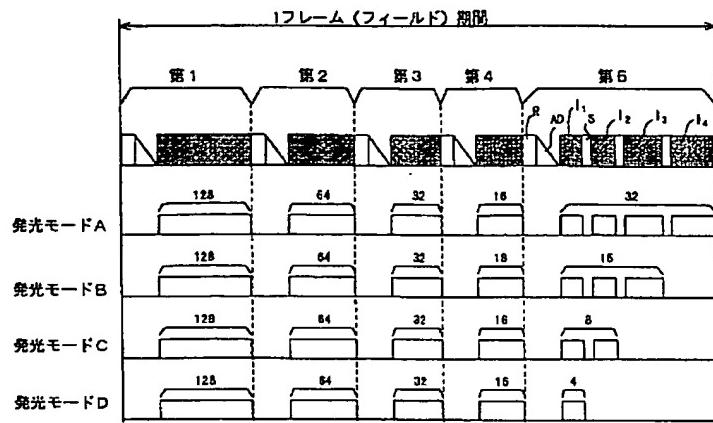
【図35】



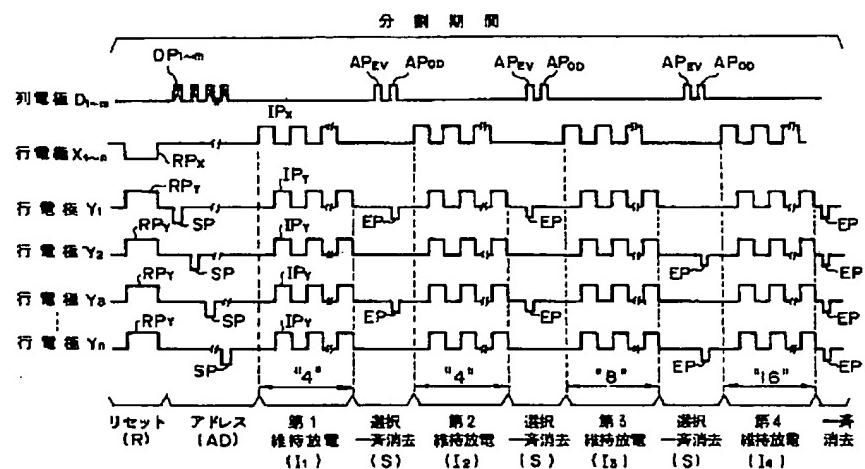
【図37】



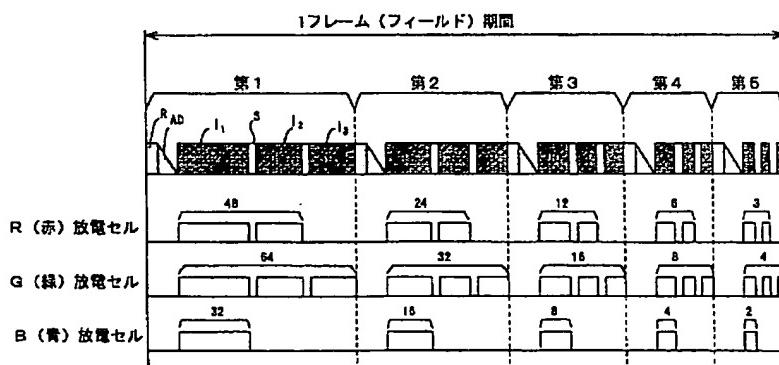
[図41]



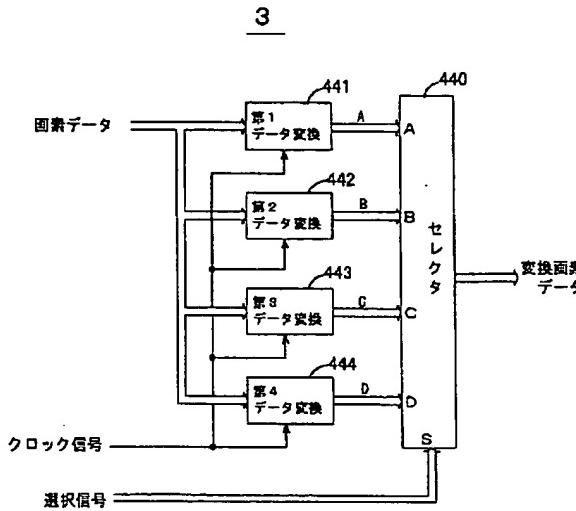
[図42]



[図46]



【図43】



【図44】

入力 固形データ 87854321	第1実換テーブル 変換データA 87854321	第2実換テーブル 変換データB 87854321	第3実換テーブル 変換データC 87854321	第4実換テーブル 変換データD 54321
*****0000	*****0	*****0	*****0	*****0
*****0001	*****0	*****0	*****0	*****1
*****0010	*****0	*****0	*****1	*****0
*****0011	*****0	*****0	*****1	*****1
*****0100	*****0	*****1	*****1	*****0
*****0101	*****0	*****1	*****1	*****1
*****0110	*****0	*****1	*****0	*****0
*****0111	*****0	*****1	*****1	*****0
*****1000	*****1	*****0	*****0	*****0
*****1001	*****1	*****0	*****0	*****1
*****1010	*****1	*****0	*****1	*****1
*****1011	*****1	*****0	*****0	*****1
*****1100	*****1	*****1	*****1	*****0
*****1101	*****1	*****1	*****0	*****1
*****1110	*****1	*****1	*****1	*****0
*****1111	*****1	*****1	*****1	*****1

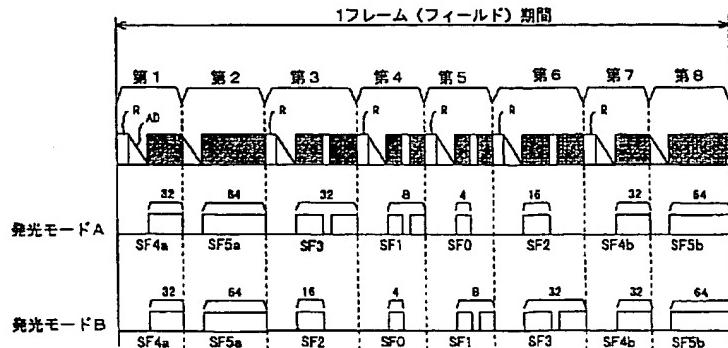
【図47】

中間 レベル	入力 要素データ	第1実換テーブル 変換要素データA	第2実換テーブル 変換要素データB
00	000000	000000000	000000000
01	000001	000000100	001000000
02	000010	001000000	000000100
03	000011	001000100	001000100
04	000100	000001000	000010000
05	000101	000001100	001100000
06	000110	001010000	000101000
07	000111	001011100	001101000
08	001000	000010000	000001000
09	001001	000010100	001010000
10	001010	001011000	000001100
11	001011	001011010	001010100
12	001100	000011000	000011000
13	001101	000011100	001110000
14	001110	001111000	000111000
15	001111	001111100	001111100
16	010000	100010000	000001010
17	010001	100010100	001010100
18	010010	101100000	000001110
19	010011	101110100	001011110
20	010100	100111000	001101010
21	010101	100111100	001110100
22	010110	101111000	000111110
23	010111	101111100	001111110
24	011000	100110010	010010101
25	011001	100110101	011010101
26	011010	101110001	010011110
27	011011	101110101	011010110
28	011100	100111001	010111010
29	011101	100111101	011111010
30	011110	101111001	010111110
31	011111	101111101	011111110

【図48】

中間 レベル	入力 要素データ	第1実換テーブル 変換要素データA	第2実換テーブル 変換要素データB
32	100000	010100001	010010001
33	100001	010101001	011010101
34	100010	011100001	010011001
35	100011	011110101	011011101
36	100100	010110001	010110001
37	100101	010111001	011110001
38	100110	011111001	010111101
39	100111	011111101	011111101
40	101000	010100010	100001001
41	101001	010101010	101010100
42	101010	011100010	100001101
43	101011	011110100	101011101
44	101100	010110100	100110001
45	101101	010111100	101111001
46	101110	011110101	100111101
47	101111	011111101	101111101
48	110000	110100010	100001011
49	110001	110101010	101010101
50	110010	111100010	100001111
51	110011	111110100	101011111
52	110100	110110100	100110011
53	110101	110111110	101111101
54	110110	211111010	100111111
55	110111	111111100	101111111
56	111000	110100011	110001011
57	111001	110101011	111101011
58	111010	111110011	110011111
59	111011	111110111	111011111
60	111100	110111011	110111011
61	111101	110111111	111111011
62	111110	111111011	110111111
63	111111	111111111	111111111

[図49]

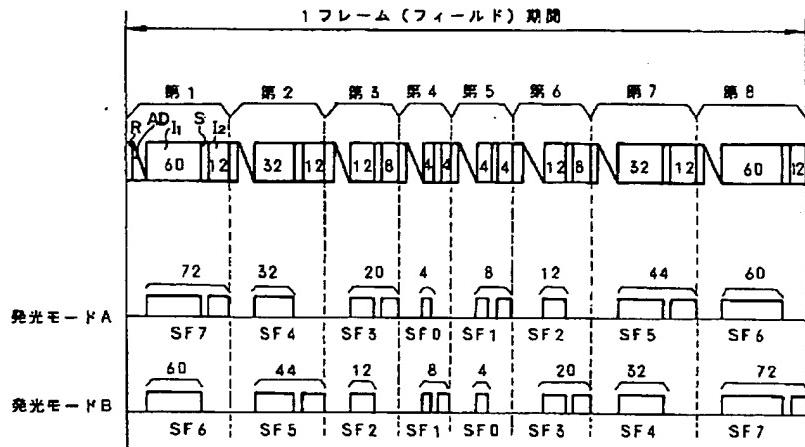


[図50]

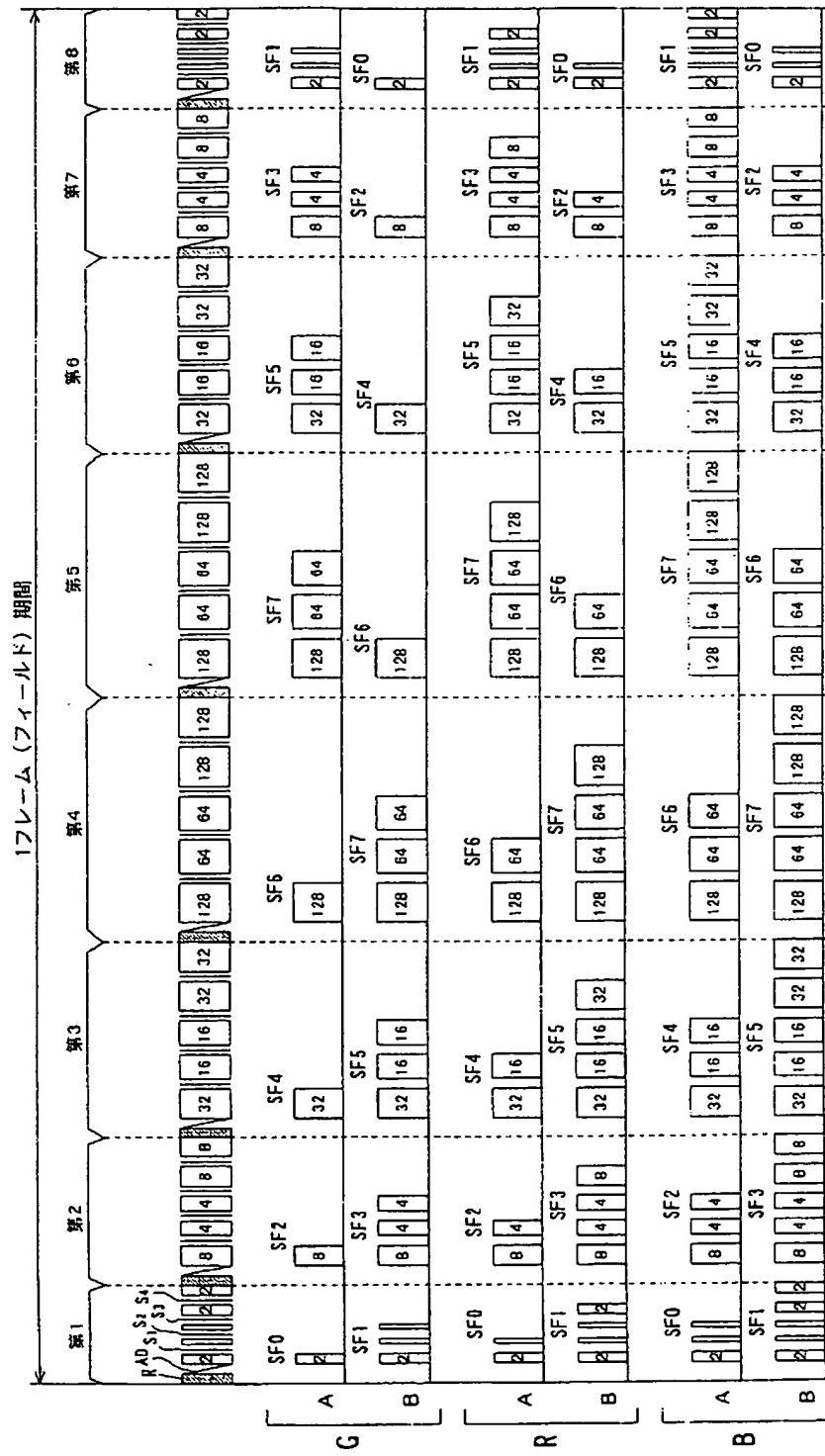
半期別 レベル	第1実績データA						第2実績データB								
	8	7	6	5	4	3	2	1	8	7	6	5	4	3	2
D-3	0 0 0 0 0 0 0						0 0 0 0 0 0 0								
L-7	0 0 0 0 1 0 0 0						0 0 0 0 1 0 0 0								
H-11	0 0 0 1 0 0 0 0						0 0 0 0 1 0 0 0								
11-16	0 0 0 1 1 0 0 0						0 0 0 1 1 0 0 0								
16-19	0 0 0 0 0 1 0 0						0 0 1 0 0 0 0 0								
SD-23	0 0 0 0 1 1 0 0						0 0 1 1 0 0 0 0								
24-27	0 0 0 1 0 1 0 0						0 0 0 1 0 1 0 0								
ES-31	0 0 0 1 1 1 0 0						0 0 1 1 1 0 0 0								
ES-35	0 0 0 0 0 0 1 0						1 0 0 0 0 0 0 0								
SD-39	0 0 0 0 1 0 1 0						1 0 0 1 0 0 0 0								
SD-43	0 0 0 1 0 0 1 0						1 0 0 0 1 0 0 0								
44-47	0 0 0 1 1 0 1 0						1 0 0 1 1 0 0 0								
SD-51	0 0 0 0 0 1 1 0						1 0 1 0 0 0 0 0								
SD-55	0 0 0 0 1 1 1 0						1 0 1 1 0 0 0 0								
SD-59	0 0 0 1 0 1 1 0						1 0 1 0 1 0 0 0								
SD-63	0 0 0 1 1 1 1 0						1 0 1 1 1 0 0 0								
SD-67	0 0 1 0 0 0 1 0						1 0 0 0 0 1 0 0								
SD-71	0 0 1 0 1 0 1 0						1 0 0 1 0 1 0 0								
72-76	0 0 1 1 0 0 1 0						1 0 0 0 1 1 0 0								
76-79	0 0 1 1 3 0 1 0						1 0 0 1 1 1 0 0								
SD-83	0 0 1 0 0 1 1 0						1 0 1 0 0 1 0 0								
SD-87	0 0 1 0 2 1 1 0						1 0 1 2 0 1 0 0								
SD-91	0 0 1 1 0 1 1 0						1 0 1 0 1 1 0 0								
SD-95	0 0 1 1 1 1 1 0						1 0 1 1 1 1 0 0								
SD-99	0 0 0 0 0 0 1 1						1 1 0 0 0 0 0 0								
100-103	0 0 0 0 1 0 1 1						1 1 0 1 0 0 0 0								
104-107	0 0 0 1 0 0 1 1						1 1 0 0 1 0 0 0								
108-111	0 0 0 1 0 1 0 1						1 1 0 1 1 0 0 0								
112-115	0 0 0 0 0 0 1 1						1 1 1 0 0 0 0 0								
116-119	0 0 0 0 1 1 1 1						1 1 1 1 0 0 0 0								
120-123	0 0 0 1 0 1 1 1						1 1 1 0 1 0 0 0								
124-127	0 0 0 1 1 1 1 1						1 1 1 1 1 0 0 0								

〔图5·1〕

【図52】



【図55】



フロントページの続き

(72)発明者 本田 広史  
山梨県中巨摩郡田富町西花輪2680番地バイ  
オニア株式会社甲府プラズマパネルセンタ  
ー内